

CST256: Γλώσσες Περιγραφής Υλικού

Διδάσκων: Νικόλαος Καββαδίας (Λέκτορας, Π.Δ. 407/80)
nkavn@uop.gr

Εξεταστική Ιουνίου-Ιουλίου 2009

Ημερομηνία εξέτασης: Τρίτη 30 Ιουνίου 2009
Ώρα εξέτασης: 17:00-20:00
Ακαδημαϊκό έτος: 2008-2009

Θέματα

1) Σε κάθε ένα από τα παρακάτω ερωτήματα να επιλεγθεί η σωστή από τις δοθείσες απαντήσεις.

1. Τι περιγράφεται στην ENTITY ενός κυκλώματος;

- A. οι μηχανισμοί λειτουργίας του
- B. η διεπαφή του
- Γ. ο πίνακας αληθείας του
- Δ. τα COMPONENT από τα οποία αποτελείται

2. Δίνονται τα διανύσματα a(5 downto 0), b(0 to 3), c(8 downto 4). Ποιο το εύρος του καθενός, αντίστοιχα;

- A. 5, 4, 5
- B. 5, 3, 5
- Γ. 6, 4, 4
- Δ. 6, 4, 5

3. Για τα παραπάνω διανύσματα a, b, c, ποια από τις παρακάτω αναθέσεις δεν είναι ορθή;

- A. a(5 downto 0) <= c & '0';
- B. a(1 downto 0) <= b(0 to 1);
- Γ. c(8 downto 6) <= a(2 downto 1);
- Δ. b(1 to 1) <= "1";

4. Ο τύπος STD_ULOGIC υλοποιεί λογική 9 επιπέδων. Πως συμβολίζονται τα λογικά επίπεδα για την άγνωστη τιμή, την κατάσταση υψηλής αντίστασης, τη μη αρχικοποιημένη τιμή και την αδιάφορη τιμή, αντίστοιχα;

- A. 'Φ', 'Z', 'U', 'D'
- B. 'U', 'X', 'Z', '-'
- Γ. '-', 'U', 'Z', 'X'
- Δ. 'X', 'Z', 'U', '-'

5. Για το ακόλουθο τμήμα κώδικα VHDL συμπληρώστε τη σωστή λίστα ευαισθησίας.

```
process (...) begin
  a <= b + '1'; c <= '0' & b(5 downto 0); d <= a xor c xor e;
end process;
```

- A. a, b, c, e
- B. a, b, c, d, e
- Γ. a, c, d
- Δ. a, b, d, e

6. Τι είδους κύκλωμα υλοποιεί ο ακόλουθος κώδικας;

```
process (clk, d)
begin
  if (clk = '1') then
    q <= d;
  end if;
end process;
```

- A. Έναν πολυπλέκτη 2-σε-1
- B. Ένα flip-flop τύπου D
- Γ. Έναν τρισταθή απομονωτή
- Δ. Ένα μανδαλωτή

7. Ποια τα επίπεδα σοβαρότητας (severity) της εντολής ASSERT;

- A. INFO, WARNING, ERROR
- B. NOTE, WARNING, BREAK
- Γ. NOTE, WARNING, ERROR, FAILURE
- Δ. INFO, WARNING, FAULT, FAILURE

8. Τι είναι ένα αρχείο testbench;

- A. Το top-level αρχείο του κυκλώματος
- B. Αρχείο για τον έλεγχο του κυκλώματος
- Γ. Ένα πακέτο με δηλώσεις του χρήστη
- Δ. Εναλλακτική περιγραφή του κυκλώματος

9. Ποιο από τα παρακάτω δεν αποτελεί τύπο θύρας μιας ENTITY;

- A. INOUT
- B. WIRE
- Γ. BUFFER
- Δ. OUT

10. Μία VARIABLE δεν μπορεί:

- A. Να διασυνδέσει δύο αντίτυπα COMPONENT (υποκυκλώματα)
- B. Να χρησιμοποιηθεί μέσα σε μία PROCESS
- Γ. Να διαβαστεί και να γραφεί μέσα στην ίδια PROCESS
- Δ. Να δηλωθεί στην περιοχή δηλώσεων της PROCESS

2) Να απαντηθούν τα εξής ερωτήματα:

1. Ο παρακάτω κώδικας VHDL ο οποίος περιγράφει ένα αρχείο καταχωρητών, περιέχει ορισμένα λάθη και παραλείψεις. Να γραφεί ο διορθωμένος κώδικας.

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;
use IEEE.std_logic_arith.all;

entity regfile is
  generic (
    DW : integer := 32
  );
  port (
```

```

    clk          : in  std_logic;
    waddr        : in  std_logic_vector(4 downto 0);
    raddr0       : in  std_logic_vector(4 downto 0);
    raddr1       : in  std_logic_vector(5 downto 0);
    input_data   : in  std_logic_vector(DW-1 downto 0);
    ram_output0  : out std_logic_vector(DW-1 downto 0);
    ram_output1  : out std_logic_vector(DW-1 downto 0)
  );
end entity regfile;

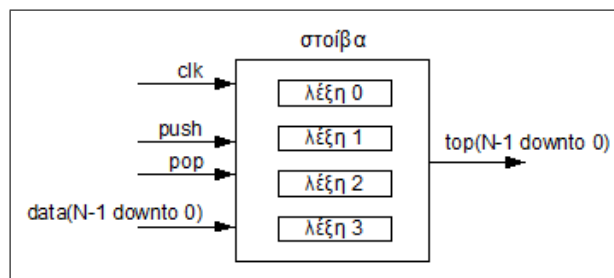
architecture synth of regfile is
  type mem_type is array (0 to 27) of std_logic_vector(DW-1 downto 0);
  signal ram : mem_type := (others => '0');
begin
  process (clk)
  begin
    if (clk = '1') then
      if (we = '1') then
        ram(conv_std_logic_vector(waddr, 5)) <= input_data(DW);
      end if;
    end if;
  end process;
  ram_output0 <= ram(conv_integer(raddr0));
  ram_output1 <= ram(conv_integer(raddr1));
end rtl;

```

2. Να γραφεί ο κώδικας VHDL κυκλώματος πλειοψηφίας (majority voter) τριών εισόδων του 1-bit. Η έξοδος του είναι '1' όταν δύο ή παραπάνω από τις εισόδους του έχουν την τιμή '1' αλλιώς είναι '0'.

3) Να γραφεί ο κώδικας VHDL για τα εξής κυκλώματα:

1. Πολυπλέκτης 4-σε-1 για εισόδους τύπου `std_logic_vector(3 downto 0)`.
2. Flip-flop τύπου D με εξόδους Q και \bar{Q} .
3. Να σχεδιαστεί σε VHDL, μνήμη με οργάνωση στοιβάς και 4 θέσεις αποθήκευσης σύμφωνα με τη διεπαφή του παρακάτω σχήματος. Η στοιβα διαθέτει τις εισόδους `push`, `pop`, που είναι είσοδοι ελέγχου, την είσοδο δεδομένων `data`, και την έξοδο δεδομένων `top`. Όταν η είσοδος `push` είναι '1', τα δεδομένα `data` ωθούνται στην στοιβα, με ολίσηση όλων των προηγούμενων περιεχομένων της. Όταν η `pop` είναι '1', η κορυφή της στοιβάς απομακρύνεται με ολίσηση όλων των περιεχομένων και η είσοδος `data` αγνοείται. Κάθε στιγμή, η έξοδος `top` δείχνει τα περιεχόμενα της κορυφής της στοιβάς. Η `push` έχει προτεραιότητα ως προς την `pop`.



4) Το παρακάτω σχήμα περιγράφει το διάγραμμα καταστάσεων του FSM ελέγχου και τις αντίστοιχες λειτουργίες επεξεργασίας δεδομένων για ένα κύκλωμα απαρίθμησης πληθυσμού (population counter). Το κύκλωμα υπολογίζει τον αριθμό των '1' στη λέξη εισόδου `inp(15 downto 0)` και το αποτέλεσμα εμφανίζεται στην έξοδο `outp(4 downto 0)`. Ο καταχωρητής `dreg` προσφέρει προσωρινή αποθήκευση για τα δεδομένα `inp` και ο καταχωρητής `count(4 downto 0)` των ενδιάμεσων αποτελεσμάτων.

Να σχεδιαστεί το κύκλωμα σε VHDL. Προτείνεται η υλοποίησή του σε μορφή FSMD με περιγραφική επιπέδου RTL.

