

CST256: Γλώσσες Περιγραφής Υλικού για επί πτυχίω φοιτητές

Διδάσκων: Νικόλαος Καββαδίας (Λέκτορας, Π.Δ. 407/80)
nkavn@uop.gr

Εξεταστική Φεβρουαρίου 2010

Ημερομηνία εξέτασης: Τετάρτη 03 Φεβρουαρίου 2010
Ώρα εξέτασης: 13:30-16:30
Ακαδημαϊκό έτος: 2009-2010

Θέματα

1) Σε κάθε ένα από τα παρακάτω ερωτήματα να επιλεγθεί η σωστή από τις προτεινόμενες απαντήσεις.

1. Τι περιγράφεται στην ENTITY ενός κυκλώματος;
 - A. οι μηχανισμοί λειτουργίας του
 - B. η διεπαφή του
 - Γ. ο πίνακας αληθείας του
 - Δ. τα COMPONENT από τα οποία αποτελείται
2. Τι περιγράφεται στην ARCHITECTURE ενός κυκλώματος;
 - A. η διεπαφή του
 - B. ο πίνακας αληθείας του
 - Γ. τα COMPONENT από τα οποία αποτελείται
 - Δ. οι μηχανισμοί λειτουργίας του
3. Δίνονται τα διανύσματα a(6 to 10), b(6 downto 2), c(1 to 4). Ποιο το εύρος του καθενός, αντίστοιχα;
 - A. 5, 3, 5
 - B. 6, 4, 4
 - Γ. 5, 5, 4
 - Δ. 6, 4, 5
4. Για τα παραπάνω διανύσματα a, b, c, ποια από τις παρακάτω αναθέσεις δεν είναι ορθή;
 - A. a(6 to 10) <= c & '1';
 - B. a(5 downto 4) <= b(4 to 5);
 - Γ. c(7 downto 5) <= a(6 to 8);
 - Δ. b(0 downto 0) <= "0";
5. Ο υποθετικός τύπος MVL4 υλοποιεί λογική 4 επιπέδων και ορίζεται ως υποσύνολο του STD_ULOGIC. Επιλέξτε τα κατάλληλα λογικά επίπεδα που θα πρέπει να υποστηρίζει ο τύπος.
 - A. '0', '1', '-', 'X'
 - B. 'U', 'X', '0', '1'

- Γ. 'L', 'H', 'Z', 'U'
- Δ. 'X', 'Z', '0', '1'

6. Επιλέξτε την ισοδύναμη έκφραση για την αρνητική ακμοπτυροδότηση: falling_edge(clk)
- A. clk'STABLE and clk = '1'
 - B. clk'EVENT and clk = '0'
 - Γ. clk'EVENT and clk = '1'
 - Δ. clk = '0' or clk'EVENT
7. Τι είναι ένα αρχείο testbench;
- A. Το top-level αρχείο του κυκλώματος
 - B. Αρχείο για τον έλεγχο του κυκλώματος
 - Γ. Ένα πακέτο με δηλώσεις του χρήστη
 - Δ. Εναλλακτική περιγραφή του κυκλώματος
8. Μία VARIABLE δεν μπορεί:
- A. Να διασυνδέσει δύο αντίτυπα COMPONENT (υποκυκλώματα)
 - B. Να χρησιμοποιηθεί μέσα σε μία PROCESS
 - Γ. Να διαβαστεί και να γραφεί μέσα στην ίδια PROCESS
 - Δ. Να δηλωθεί στην περιοχή δηλώσεων της PROCESS
9. Για το ακόλουθο τμήμα κώδικα VHDL συμπληρώστε τη σωστή λίστα ευαισθησίας.

```
process (...) begin
  a <= b xor d;
  b <= c & "01";
  e <= b(b'LEFT downto 2) - c;
end process;
```

- A. a, b, c, e
 - B. a, b, c, d, e
 - Γ. b, c, d
 - Δ. a, b, d, e
10. Τι είδους κύκλωμα υλοποιεί ο ακόλουθος κώδικας;

```
process (clk, d)
begin
  if (clk = '1') then
    q <= d;
  end if;
end process;
```

- A. Έναν πολυπλέκτη 2-σε-1
 - B. Ένα flip-flop τύπου D
 - Γ. Έναν τρισταθή απομονωτή
 - Δ. Ένα μανδαλωτή
- 2) Να απαντηθούν τα εξής ερωτήματα:
1. Να γραφεί ο κώδικας VHDL για κύκλωμα πολυπλέκτη 4-σε-1, για εισόδους του 1-bit (std_logic).
 2. Να γραφεί ο κώδικας VHDL για την αρχιτεκτονική κυκλώματος αντιμετάθεσης ψηφίων (bit swapper) για διανύσματα των 8-bit. Το κύκλωμα θα υλοποιηθεί με χρήση της δήλωσης FOR...GENERATE και έχει την παρακάτω ENTITY.

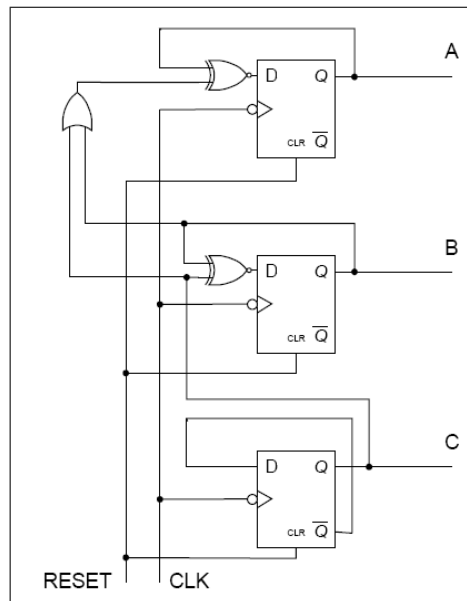
```

ENTITY bit_swapper IS
  PORT (
    din : IN  std_logic_vector(7 DOWNTO 0);
    dout : OUT std_logic_vector(7 DOWNTO 0)
  );
END bit_swapper;

```

3) Να απαντηθούν τα εξής ερωτήματα:

1. D flip-flop με αρνητική ακμοπυροδότηση και ασύγχρονη επαναφορά (reset).
2. Δίνεται το κύκλωμα του σχήματος. Να γραφεί ο αντίστοιχος κώδικας VHDL. Για την υλοποίηση του D flip-flop χρησιμοποιήστε την απάντησή σας στο προηγούμενο υποερώτημα.



3. Θεωρήστε ότι το παραπάνω κύκλωμα δέχεται είσοδο RESET = '1' κατά την πρώτη περίοδο λειτουργίας του, και στη συνέχεια είναι RESET = '0'. Δώστε τις τιμές των A, B, C για τις πρώτες 11 περιόδους λειτουργίας του κυκλώματος. Σχολιάστε τα αποτελέσματα.
- 4) Το παρακάτω σχήμα περιγράφει το διάγραμμα καταστάσεων ενός απλού FSM. Να σχεδιαστεί το κύκλωμα σε VHDL.

