

Σχεδίαση Ψηφιακών Κυκλωμάτων

Η τεχνολογία VLSI - Διεργασίες CMOS

Νικόλαος Καββαδίας
nkavn@uop.gr

03 Νοεμβρίου 2010

Αντικείμενο του μαθήματος CST326: Σχεδίαση Ψηφιακών Κυκλωμάτων

- Στόχοι του μαθήματος: παρουσίαση θεμάτων που άπτονται του σχεδιασμού ψηφιακών κυκλωμάτων για συσκευές FPGA
 - Κυκλώματα CMOS
 - Τεχνολογικές διεργασίες standard cell VLSI, FPGA
 - Έμφαση στην παρουσίαση μοντέρνων αρχιτεκτονικών FPGA
 - Σχεδιασμός και υλοποίηση ψηφιακών κυκλωμάτων σε FPGA
 - Επίπεδα αφαίρεσης στα οποία μπορεί να συνταχθεί μία κυκλωματική περιγραφή
 - Εργαλεία EDA (Electronic Design Automation) που βρίσκονται σε κοινή χρήση
 - Ιδιοκτησιακές και open τεχνολογίες για την ανάπτυξη μιας ροής σχεδιασμού FPGA

Περιγραφή του μαθήματος

■ Διαλέξεις

- 1 Η τεχνολογία VLSI - Διαεργασίες CMOS
- 2 Συνδυαστική και ακολουθιακή λογική
- 3 Αριθμητικά κυκλώματα και μνήμες
- 4 Η αρχιτεκτονική οργάνωση των FPGA
- 5 Φυσική σχεδίαση των FPGA
- 6 Οι αρχιτεκτονικές FPGA Xilinx Spartan-3 και Virtex-5
- 7 Μεθοδολογίες και επίπεδα αφαίρεσης στην ψηφιακή σχεδίαση
- 8 Παραδείγματα σχεδίασης - Κύκλωμα επεξεργασίας δεδομένων και επεξεργαστής RISC
- 9 Ασκήσεις στο πρότυπο των εξετάσεων του μαθήματος
- 10 Ειδικά θέματα ψηφιακής σχεδίασης (οργάνωση διαύλων, εργαλεία EDA)

■ Ιστότοπος του μαθήματος:

<http://eclass.uop.gr/courses/CST326/>

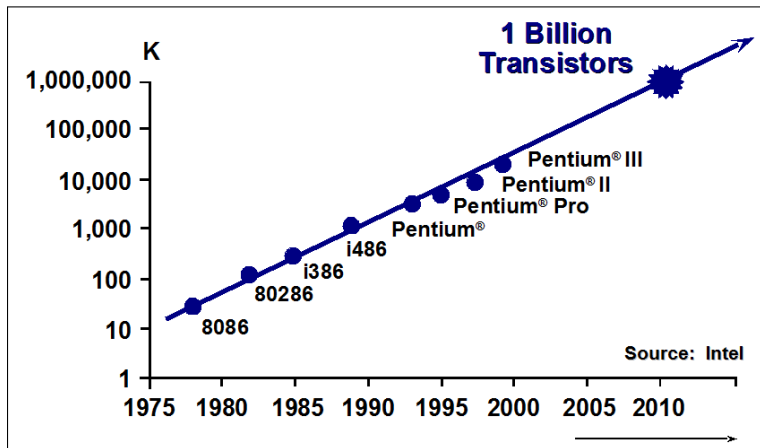
Σκιαγράφηση της διάλεξης

- Η εξέλιξη των τεχνολογιών VLSI
- Το τρανζίστορ MOSFET
- Κλασσική διεργασία CMOS
- Ο αντιστροφέας CMOS
- Ιδιότητες των στατικών κυκλωμάτων CMOS

Ο νόμος του Moore

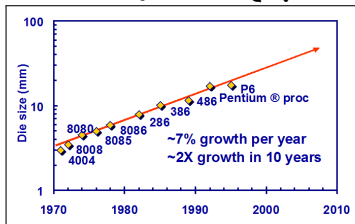
- Το 1965, ο Gordon Moore πραγματοποίησε μία πρόβλεψη για την εξέλιξη της ημιαγωγικής τεχνολογίας:
‘Οι επιδόσεις των ολοκληρωμένων κυκλωμάτων θα διπλασιάζονται κάθε 18 μήνες’
- Αυτό που είχε παρατηρήσει μελετώντας τα μέχρι τότε δεδομένα ήταν ότι ο αριθμός των τρανζίστορ (transistor) σε ένα ολοκληρωμένο (chip) διπλασιάζονταν κάθε 18 με 24 μήνες
- Η πρόβλεψή του ισχύει μέχρι και σήμερα

Αριθμός των τρανζίστορ σε επεξεργαστές Intel

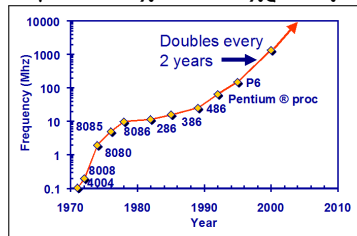


Εξέλιξη χαρακτηριστικών δεικτών των επιδόσεων ολοκληρωμένων κυκλωμάτων

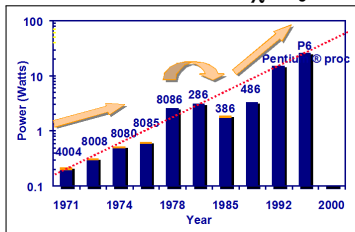
Διαστάσεις ολοκληρωμένου



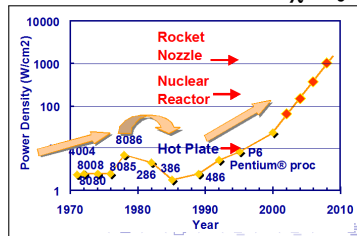
Μέγιστη συχνότητα χρονισμού



Κατανάλωση ισχύος



Πυκνότητα καταν. ισχύος

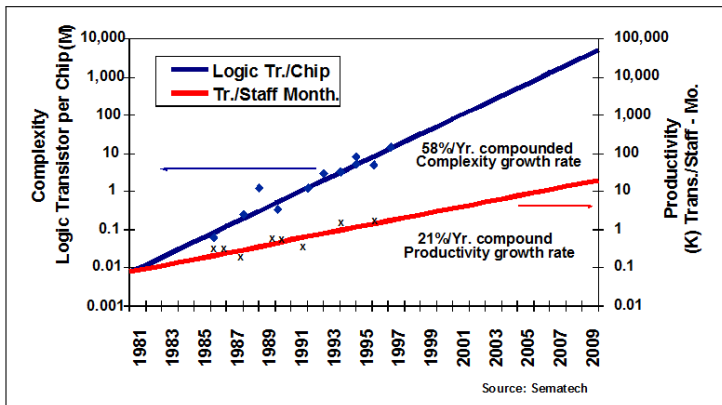


Προκλήσεις και προβλήματα στην ψηφιακή σχεδίαση

- Προβλήματα σε **μικροσκοπικό** επίπεδο
 - Σχεδίαση για λειτουργία σε πολύ υψηλές συχνότητες
 - Διασυνδέσεις
 - Θόρυβος και παρεμβολές (crosstalk)
 - Αξιοπιστία και ελεγχσιμότητα
 - Κατανάλωση ισχύος
 - Διανομή των σημάτων χρονισμού (clock distribution)
- Προβλήματα σε **μακροσκοπικό** επίπεδο
 - Αξιοποίηση της προσφερόμενης επιφάνειας ολοκλήρωσης (millions of gates)
 - Σχεδιασμός σε υψηλά επίπεδα αφαίρεσης για βελτίωση της παραγωγικότητας
 - Time-to-market
 - Επαναχρησιμοποίηση σχεδίων και IP (Intellectual Property), θέματα μεταφερτότητας προγενέστερων σχεδιάσεων
 - Προγνωσιμότητα (predictability) επιδόσεων

Η αποκλίνουσα σχέση πολυπλοκότητας και παραγωγικότητας

- Το χάσμα μεταξύ κυκλωματικής πολυπλοκότητας και της παραγωγικότητας του μηχανικού/σχεδιαστή υλικού γίνεται ολοένα και μεγαλύτερο



Μετρικά και κόστη στη σχεδίαση ολοκληρωμένων κυκλωμάτων

- Μετρικά των επιδόσεων ενός ψηφιακού κυκλώματος
 - Ταχύτητα (χρονικές καθυστερήσεις, συχνότητα λειτουργίας)
 - Κατανάλωση ισχύος
 - Απαιτούμενη ενέργεια για την εκτέλεση κάποιας λειτουργίας
 - Κόστος ανάπτυξης και παραγωγής
 - Αξιοπιστία
 - Κλιμάκωση σε νέες διεργασίες
- NRE (non-recurrent engineering) κόστη
 - Κόστη που δεν επαναλαμβάνονται ξανά όπως χρόνος και έξοδα για το σχεδιασμό ενός νέου προϊόντος
 - Παραγωγή των μασκών για τη φωτολιθογραφική επεξεργασία
- Επαναλαμβανόμενα κόστη
 - Για κάθε ολοκληρωμένο: silicon processing, packaging, testing
 - Τα κόστη αυτά είναι ανάλογα της επιφάνειας ολοκληρωμένου και του μεγέθους της παρτίδας παραγωγής

Εξέλιξη της τεχνολογίας CMOS

- Πηγή: International Technology Roadmap for Semiconductors (ITRS)
- Δεδομένα: Έτος 2000 με προβλέψεις για τα επόμενα έτη

Year of Introduction	1999	2000	2001	2004	2008	2011	2014
Technology node [nm]	180		130	90	60	40	30
Supply [V]	1.5-1.8	1.5-1.8	1.2-1.5	0.9-1.2	0.6-0.9	0.5-0.6	0.3-0.6
Wiring levels	6-7	6-7	7	8	9	9-10	10
Max frequency [GHz], Local-Global	1.2	1.6-1.4	2.1-1.6	3.5-2	7.1-2.5	11-3	14.9 -3.6
Max μ P power [W]	90	106	130	160	171	177	186
Bat. power [W]	1.4	1.7	2.0	2.4	2.1	2.3	2.5

Το τρανζίστορ MOSFET (1)

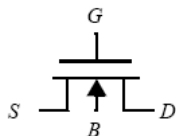
- MOSFET: Τρανζίστορ επίδρασης πεδίου (metal-oxide semiconductor field effect transistor)
- Στοιχείο 4 ακροδεκτών:
 - Gate (πύλη)
 - Source (πηγή)
 - Drain (απαγωγός, δραινός ή καταβόθρα)
 - Bulk (επαφή υποστρώματος)
- Όταν μία τάση εφαρμοστεί στην πύλη, η οποία είναι μεγαλύτερη από μία οριακή τιμή η οποία ονομάζεται *τάση κατωφλίου* (V_T), ένα κανάλι αγωγιμότητας διαμορφώνεται μεταξύ απαγωγού και πηγής. Εφόσον απαγωγός και πηγή βρίσκονται σε διαφορά δυναμικού, το κανάλι αυτό άγει. Η αγωγιμότητα του καναλιού επηρεάζεται από τη διαφορά τάσης μεταξύ πύλης και πηγής. Όσο μεγαλύτερη είναι αυτή η διαφορά, τόσο μικρότερη είναι η αντίσταση του καναλιού και τόσο μεγαλύτερο αυτό το ρεύμα

Το τρανζίστορ MOSFET (2)

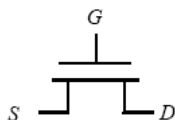
- Τρανζίστορ NMOS: αποτελείται από περιοχές απαγωγού και πηγής με προσμείξεις $n+$, ενσωματωμένες σε ένα υπόστρωμα τύπου p
- Τρανζίστορ PMOS: αποτελείται από περιοχές απαγωγού και πηγής με προσμείξεις $p+$, ενσωματωμένες σε ένα υπόστρωμα τύπου n
- Η αγωγιμότητά του MOSFET οφείλεται μόνο στην κίνηση ηλεκτρονίων (μονοπολικό τρανζίστορ) και όχι στην κίνηση ηλεκτρονίων και οπών όπως συμβαίνει στα BJT (διπολικά τρανζίστορ)
- Στις διεργασίες CMOS, τα σχεδιαζόμενα κυκλώματα χρησιμοποιούν τρανζίστορ και των δύο τύπων (NMOS και PMOS)

Το τρανζίστορ MOSFET (3)

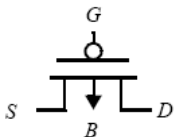
■ Συμβολισμοί



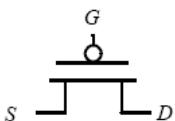
(a) NMOS transistor as 4-terminal device



(b) NMOS transistor as 3-terminal device



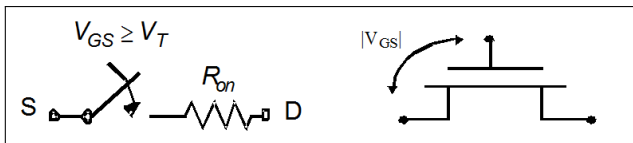
(a) PMOS transistor as 4-terminal device



(d) PMOS transistor as 3-terminal device

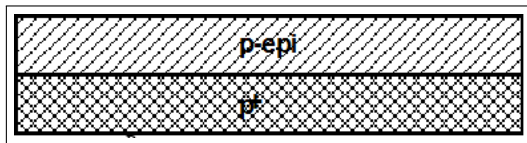
Το τρανζίστορ MOSFET (4)

- Τα τρανζίστορ MOSFET χρησιμοποιούνται στα ψηφιακά κυκλώματα σε διακοπτική λειτουργία (switching operation)
- Σύγκριση διακόπτη και MOSFET το οποίο λειτουργεί σε κόρο (saturation) και αποκοπή (cutoff) δηλαδή σε δύο διακριτές καταστάσεις

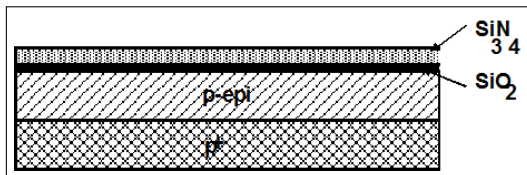


Βήματα μιας τυπικής διεργασίας CMOS (1)

- Διαμόρφωση υποστρώματος p+ με επιταξιακή στρώση p-epi

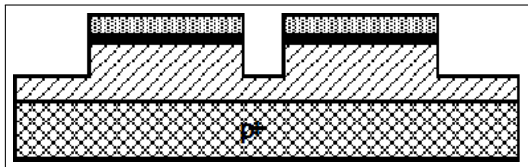


- Μετά την εναπόθεση του οξειδίου πύλης και του νιτριδίου του πυριτίου (προστατευτική στρώση απομόνωσης)

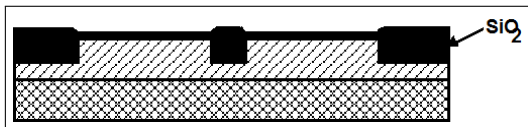


Βήματα μιας τυπικής διεργασίας CMOS (2)

- Μετά τη χάραξη πλάσματος για την εμφύτευση περιοχών απομόνωσης χρησιμοποιώντας τη συμπληρωματική μάσκα από αυτή της ενεργής

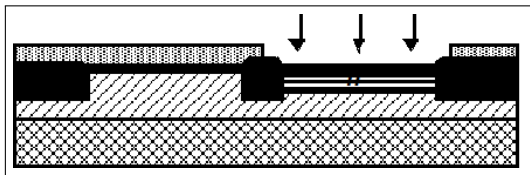


- Μετά την εμφύτευση τέλους καναλιού και την απομάκρυνση του προστατευτικού νιτριδίου του πυριτίου

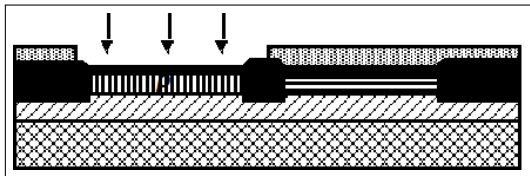


Βήματα μιας τυπικής διεργασίας CMOS (3)

- Μετά την προσθήκη των εμφυτεύσεων n-πηγαδιού και τη ρύθμιση της τάσης κατωφλίου V_{Tp}

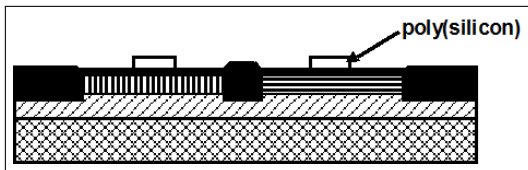


- Μετά την προσθήκη των εμφυτεύσεων p-πηγαδιού (p-υποστρώματος) και ρύθμισης της τάσης κατωφλίου V_{Tn}

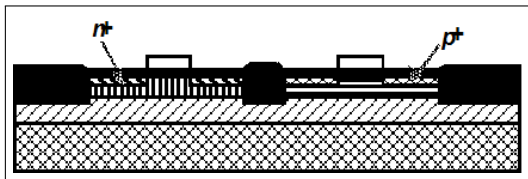


Βήματα μιας τυπικής διεργασίας CMOS (4)

- Μετά την εναπόθεση και χάραξη πολυκρυσταλλικού πυριτίου (πολυπυριτίου)

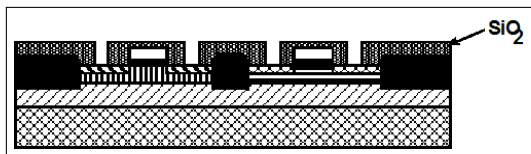


- Μετά τις εμφυτεύσεις n^+ και p^+ για πηγή/απαγωγό. Αυτά τα βήματα ενισχύουν και τις προσμίξεις στην περιοχή του πολυπυριτίου

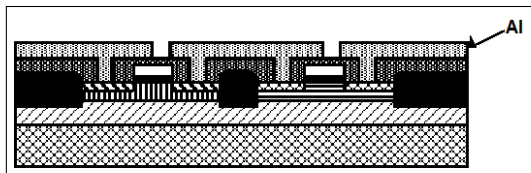


Βήματα μιας τυπικής διεργασίας CMOS (5)

- Μετά την εναπόθεση οξειδίου του πυριτίου (SiO_2) για μόνωση και τη χάραξη των τομών επαφής

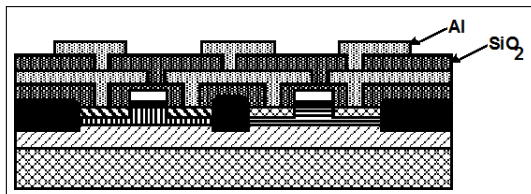


- Μετά την εναπόθεση και χάραξη της πρώτης στρώσης αλουμινίου (Al)



Βήματα μιας τυπικής διεργασίας CMOS (6)










- Μετά την εναπόθεση του μονωτικού SiO_2 , τη χάραξη των περασμάτων (vias) και την εναπόθεση και χάραξη της δεύτερης στρώσης Al



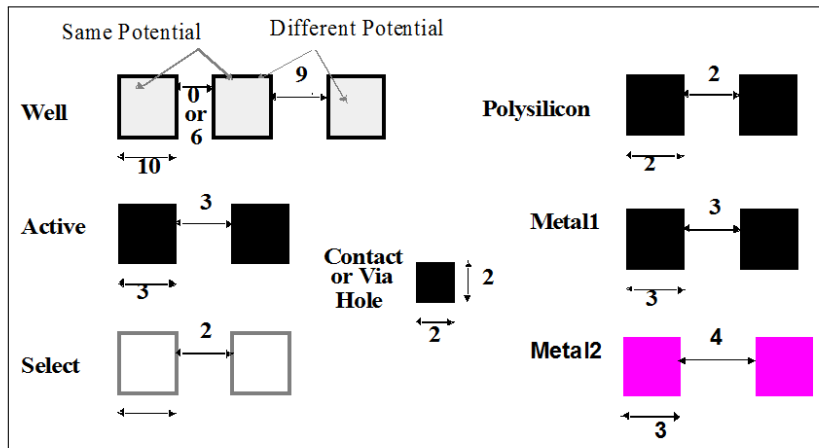
Κανόνες σχεδιασμού (design rules)

- Αποτελούν τη διεπαφή μεταξύ του σχεδιαστή μασκών και του μηχανικού διεργασιών
- Οι κανόνες σχεδιασμού είναι μία λίστα από οδηγίες για το πως πρέπει να σχεδιαστούν οι μάσκες των διαφόρων στρώσεων σε μία CMOS διεργασία
- Η μονάδα αναφοράς αποτελεί το ελάχιστο δυνατό εύρος χάραξης σε μία στρώση
- Οι διαστάσεις στους κανόνες σχεδιασμού εκφράζονται ως απόλυτες διαστάσεις σε νανόμετρα (nm)
- Αν πρόκειται για κλιμακωτούς κανόνες (scalable rules) τότε εκφράζονται σε ακέραια πολλαπλάσια (μερικές φορές και ημιπολλαπλάσια) της παραμέτρου λάμδα (λ)

Στρώσεις (layers) σε μία τυπική διεργασία CMOS

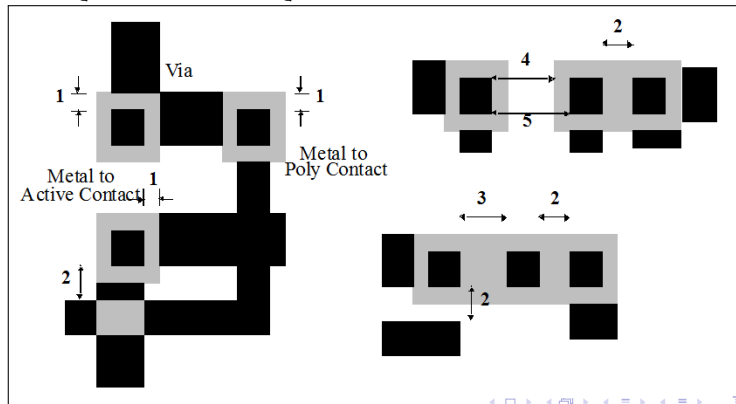
Layer	Color	Representation
Well (p,n)	Yellow	
Active Area (n+,p+)	Green	
Select (p+,n+)	Green	
Polysilicon	Red	
Metal1	Blue	
Metal2	Magenta	
Contact To Poly	Black	
Contact To Diffusion	Black	
Via	Black	

Εφαρμογή των κανόνων σχεδιασμού στην ίδια στρώση



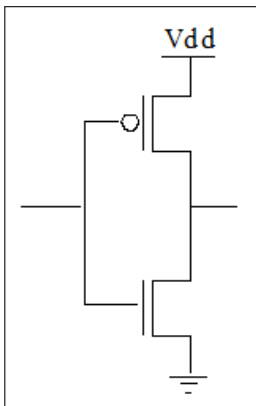
Περάσματα και επαφές

- Πέρασμα (via): ένωση μεταξύ διαφορετικών στρώσεων στο υπόστρωμα
- Επαφή (contact): ένωση μεταξύ στρώσης μετάλλου και πολυκρυσταλλικού πυριτίου



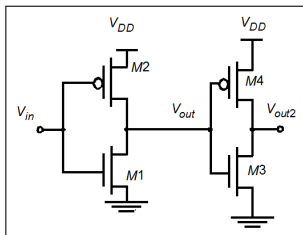
Ο αντιστροφέας CMOS

- Κυκλωματική σχεδίαση του αντιστροφέα CMOS
- Τα τρανζίστορ NMOS και PMOS σε διακοπτική λειτουργία

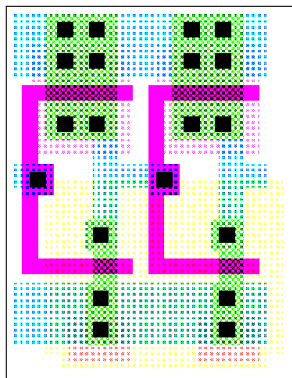


Κυκλώματα CMOS σε επίπεδο τρανζίστορ και μασκών

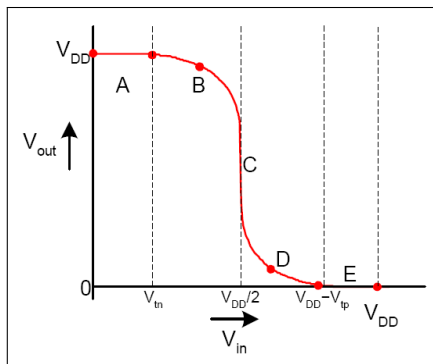
Σχεδίαση ψηφιακού
κυκλώματος απομονωτή
(buffer) με χρήση
αντιστροφών σε σειρά



Η φυσική σχεδίαση (layout)
του απομονωτή



Η χαρακτηριστική μεταφοράς τάσης και οι περιοχές λειτουργίας του αντιστροφέα CMOS

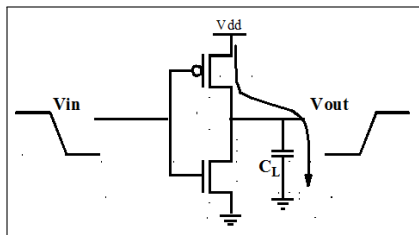


Περιοχή	NMOS	PMOS	Συνθήκη
A	Αποκοπή	Γραμμική	$0 < V_{in} < V_{Tn}$
B	Κόρος	Γραμμική	$V_{Tn} \leq V_{in} < \frac{V_{DD}}{2}$
C	Κόρος	Κόρος	$V_{in} \approx \frac{V_{DD}}{2}$
D	Γραμμική	Κόρος	$\frac{V_{DD}}{2} < V_{in} < V_{DD} - V_{Tp}$
E	Γραμμική	Αποκοπή	$V_{DD} - V_{Tp} \leq V_{in} \leq V_{DD}$

Συνιστώσες της κατανάλωσης ισχύος στα κυκλώματα CMOS

- Δυναμική κατανάλωση ισχύος
 - Φόρτιση και εκφόρτιση χωρητικοτήτων
- Ρεύματα βραχυκυκλώματος
 - Μονοπάτια ανάμεσα στα σήματα τροφοδοσίας τα οποία βραχυκυκλώνονται στιγμιαία κατά τη μεταγωγή κατάστασης σε χωρητικούς κόμβους ενός ψηφιακού κυκλώματος CMOS
- Ρεύματα διαρροής
 - Διαρρέουσες ημιαγωγικές επαφές όπως εσωτερικές διόδοι και παρασιτικά τρανζίστορ

Δυναμική κατανάλωση ισχύος



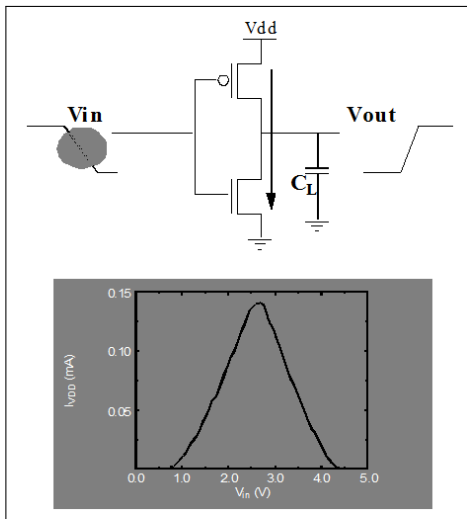
- Ενέργεια ανά μεταγωγή:
$$\text{Energy/transition} = C_L \cdot V_{dd}^2$$
- Δυναμική ισχύς:
$$\text{Ισχύς} = \text{Ενέργεια/μεταγωγή} \times \text{Συχνότητα} = C_L \cdot V_{dd}^2 \cdot f$$
- Η δυναμική ισχύς δεν εξαρτάται από τις διαστάσεις (W/L) των τρανζίστορ
- Προκειμένου να μειωθεί η δυναμική ισχύς, θα πρέπει να ελαττωθεί τουλάχιστον μία από τις συνιστώσες της: C_L , V_{dd} και f .

Δραστηριότητα μεταβάσεων κόμβου (node transition activity)

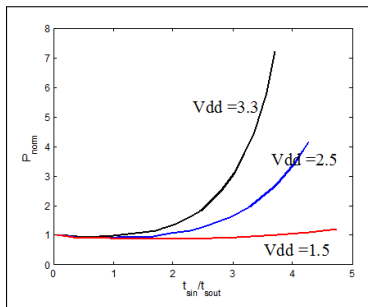
- Αποτελεί τη συχνότητα των μεταβάσεων ανάμεσα σε δύο δοθείσες λογικές καταστάσεις σε έναν κόμβο
- Δίνεται από το λόγο του αριθμού των μεταβάσεων στον κόμβο ως προς τον συνολικό αριθμό των αλλαγών στις τιμές εισόδου που επιδρούν στον κόμβο
- Συμβολίζεται με α και λογίζεται για τις μεταβάσεις $0 \rightarrow 1$ ($\alpha_{0 \rightarrow 1}$) και $1 \rightarrow 0$ ($\alpha_{1 \rightarrow 0}$)
- Η ενέργεια λόγω της μεταγωγής μιας πύλης CMOS για N κύκλους ρολογιού δίνεται από τη σχέση $E_N = C_L \cdot V_{dd}^2 \cdot n(N)$
- $n(N)$ είναι ο αριθμός των μεταβάσεων $0 \rightarrow 1$ σε N κύκλους ρολογιού
- Για τη μέση δυναμική ισχύ έχουμε:

$$\begin{aligned} P_{avg} &= \lim_{N \rightarrow \infty} \frac{E_N}{N} \cdot f_{clk} \\ &= \left(\lim_{N \rightarrow \infty} \frac{n(N)}{N} \right) \cdot C_L \cdot V_{dd}^2 \cdot f_{clk} \\ &= \alpha_{0 \rightarrow 1} \cdot C_L \cdot V_{dd}^2 \cdot f_{clk} \end{aligned}$$

Ρεύματα βραχυκυκλωμάτων (short circuit currents)



Τρόποι ελάττωσης των ρευμάτων βραχυκυκλωμάτων

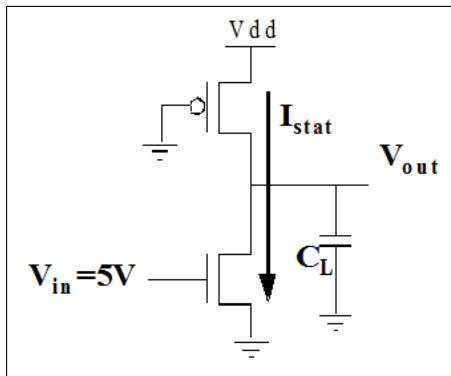


- Οι χρόνοι ανόδου και καθόδου της κυματομορφής του ρεύματος στο φορτίο εξόδου (C_L) θα πρέπει να είναι κατά το δυνατόν ίσοι
- Στην πράξη τα ρεύματα βραχυκυκλωμάτων συνεισφέρουν λιγότερο από 10% της συνολικά καταναλισκόμενης ισχύος

Διαρροές λόγω του ρεύματος περιοχής υποκατωφλίου (subthreshold current leakage)

- Όταν η τάση πύλης του (NMOS ή PMOS) τρανζίστορ ελαττωθεί και γίνει ίση με την τάση κατωφλίου (V_T) το ρεύμα το οποίο διαρρέει τον απαγωγό του δεν οδηγείται ακαριαία στο 0
- Το τρανζίστορ εξακολουθεί να άγει και κάτω από την τιμή κατωφλίου, προκαλώντας μικρό ρεύμα, η ένταση του οποίου εξαρτάται εκθετικά από τις τάσεις V_{GS} και V_{DS}
- Στα ψηφιακά κυκλώματα (αλλά όχι σε ορισμένες μεθοδολογίες σχεδιασμού αναλογικών κυκλωμάτων χαμηλής ισχύος) το ρεύμα υποκατωφλίου είναι ανεπιθύμητο
- Το φαινόμενο γίνεται ολοένα και πιο έντονο σε μοντέρνες τεχνολογίες μικρών διαστάσεων όπου οι τάσεις κατωφλίου είναι εξαιρετικά χαμηλές ($V_T \leq 0.2V$)

Στατική κατανάλωση ισχύος



- Δίνεται από τη σχέση

$$P_{static} = V_{dd} \cdot I_{static}$$

Χαρακτηριστικά των στατικών κυκλωμάτων CMOS

- Σε κάθε χρονικό σημείο (εκτός από τη μεταβατική χρονική περίοδο κατά την οποία γίνεται αλλαγή κατάστασης) κάθε έξοδος πύλης ενώνεται είτε με V_{dd} είτε με V_{ss} μέσω μονοπατιού χαμηλής αντίστασης
- Σε κάθε περίπτωση θεωρούμε ότι οι έξοδοι των πυλών λαμβάνουν την αντίστοιχη τιμή της συνάρτησης Boole την οποία υλοποιεί η αντίστοιχη πύλη. Δηλαδή αγνοούμε τα μεταβατικά φαινόμενα τα οποία υφίστανται κατά τις περιόδους στις οποίες γίνεται η μεταγωγή
- Αυτό δεν ισχύει για τα δυναμικά κυκλώματα CMOS, η λειτουργία των οποίων εξαρτάται από την προσωρινή αποθήκευση επιπέδων σημάτων (φορτίου) σε χωρητικότητες εσωτερικών κόμβων