

### Σχεδίαση Ψηφιακών Κυκλωμάτων

Οι αρχιτεκτονικές FPGA Xilinx Spartan-3 και Virtex-5

Νικόλαος Καββαδίας  
nkavn@uop.gr

22 Δεκεμβρίου 2010

- Η αρχιτεκτονική Xilinx Spartan-3
  - CLB
  - Ενσωματωμένοι πολλαπλασιαστές 18 × 18-bit
  - Ενσωματωμένα μπλοκ μνήμης τύπου block RAM
- Η αρχιτεκτονική Xilinx Virtex-5
  - Ενσωματωμένος χειριστής δεδομένων DSP48E για επεξεργασία ψηφιακού σήματος

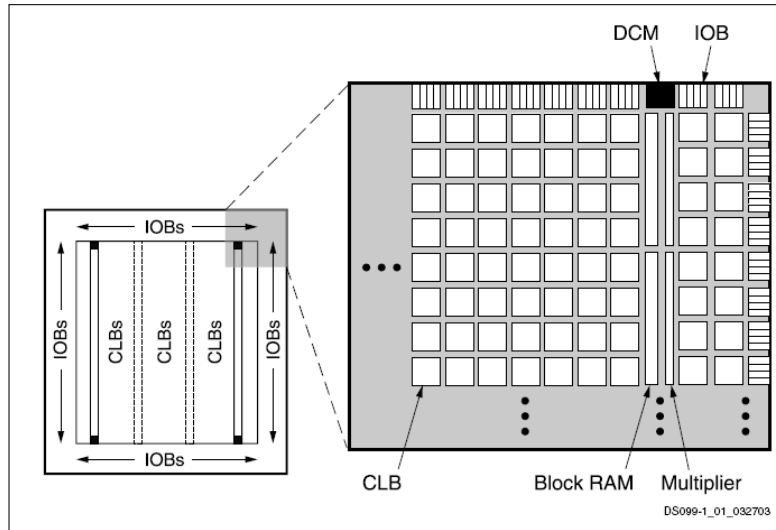
### Οι συσκευές Xilinx FPGA από το τέλος της δεκαετίας του 1980 μέχρι σήμερα

- Old families
  - XC3000, XC4000, XC5200
  - Old 0.5μm, 0.35μm and 0.25μm technology
- High-performance families
  - Virtex (220 nm)
  - Virtex-E, Virtex-EM (180 nm), around 1999
  - Virtex-II (130 nm)
  - Virtex-II PRO (130 nm), with embedded PowerPC processor
  - Virtex-4 (90 nm)
  - Virtex-5 (65 nm)
- Low Cost Family
  - Spartan/XL, derived from XC4000
  - Spartan-II, derived from Virtex
  - Spartan-III, derived from Virtex-E
  - Spartan-3 (90 nm)
  - Spartan-3E (90 nm), logic optimized
  - Spartan-3A (90 nm), I/O optimized
  - Spartan-3AN (90 nm), non-volatile
  - Spartan-3A DSP (90 nm), DSP optimized

### Αρχιτεκτονικά χαρακτηριστικά των συσκευών Xilinx Spartan-3

- Configurable Logic Blocks (CLBs) τα οποία περιέχουν RAM-based LUTs για την υλοποίηση λογικής και κατανεμημένης αποθήκευσης. Τα CLB διαθέτουν flip-flop/μανδαλωτές
- Μπλοκ εισόδου/εξόδου (Input/Output Blocks: IOBs) που ελέγχουν τη ροή των δεδομένων ανάμεσα στους ακροδέκτες της συσκευής και τα εσωτερικά στοιχεία λογικής
- Block RAM (BRAM) που παρέχουν τη δυνατότητα αποθήκευσης για 18-kbit (16-kbit data, 2-kbit parity bits)
- Ενσωματωμένοι πολλαπλασιαστές για εισόδους των 18-bit
- Ψηφιακός χειριστής ρολογιού (Digital Clock Manager: DCM) για την κατάλληλη ρύθμιση του ρολογιού προκειμένου την κατανομή του, για τον πολλαπλασιασμό/διαίρεση και την ολίσθηση ρολογιού

## Η αρχιτεκτονική της οικογένειας Xilinx Spartan-3



Νικόλαος Καββαδίας nkavn@uop.gr Σχεδίαση Ψηφιακών Κυκλωμάτων

## Ιδιότητες των συσκευών FPGA της οικογένειας Spartan-3

Table 1: Summary of Spartan-3 FPGA Attributes

Device	System Gates	Logic Cells	CLB Array (One CLB = Four Slices)			Distributed RAM (bits <sup>1</sup> )	Block RAM (bits <sup>1</sup> )	Dedicated Multipliers	DCMs	Maximum User I/O	Maximum Differential I/O Pairs
			Rows	Columns	Total CLBs						
XC3S50	50K	1,728	16	12	192	12K	72K	4	2	124	56
XC3S200	200K	4,320	24	20	480	30K	216K	12	4	173	76
XC3S400	400K	8,064	32	28	896	56K	288K	16	4	264	116
XC3S1000	1M	17,280	48	40	1,920	120K	432K	24	4	391	175
XC3S1500	1.5M	29,952	64	52	3,328	208K	576K	32	4	487	221
XC3S2000	2M	46,080	80	64	5,120	320K	720K	40	4	565	270
XC3S4000	4M	62,208	96	72	6,912	432K	1,728K	96	4	712	312
XC3S5000	5M	74,880	104	80	8,320	520K	1,872K	104	4	784	344

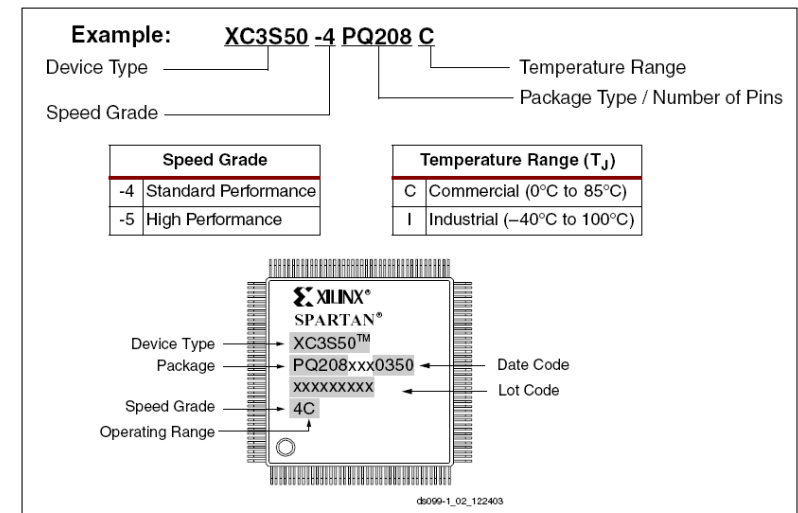
Νικόλαος Καββαδίας nkavn@uop.gr Σχεδίαση Ψηφιακών Κυκλωμάτων

## Διαθέσιμες συσκευασίες για τα FPGA της οικογένειας Spartan-3

Package Type / Number of Pins	
VQ100	100-pin Very Thin Quad Flat Pack (VQFP)
TQ144	144-pin Thin Quad Flat Pack (TQFP)
PQ208	208-pin Plastic Quad Flat Pack (PQFP)
FT256	256-ball Fine-Pitch Thin Ball Grid Array (FTBGA)
FG320	320-ball Fine-Pitch Ball Grid Array (FBGA)
FG456	456-ball Fine-Pitch Ball Grid Array (FBGA)
FG676	676-ball Fine-Pitch Ball Grid Array (FBGA)
FG900	900-ball Fine-Pitch Ball Grid Array (FBGA)
FG1156	1156-ball Fine-Pitch Ball Grid Array (FBGA)

Νικόλαος Καββαδίας nkavn@uop.gr Σχεδίαση Ψηφιακών Κυκλωμάτων

## Ονοματοδοσία των συσκευών Spartan-3



Νικόλαος Καββαδίας nkavn@uop.gr Σχεδίαση Ψηφιακών Κυκλωμάτων

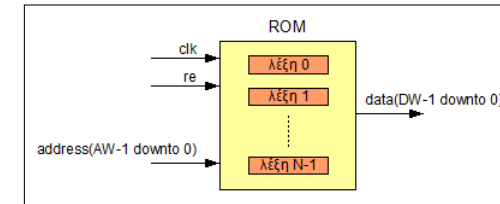


## Μνήμη μόνο ανάγνωσης (ROM) (1)

- Μία ROM διαθέτει τουλάχιστον μία είσοδο για τη διευθυνσιοδότηση (address) και μία έξοδο για την ανάγνωση των δεδομένων από τη συγκεκριμένη θέση στη μνήμη (data)
- Μπορεί να διαθέτει είσοδο ρολογιού (clk) και επιτρεψη ανάγνωσης (re)
- Τα περιεχόμενα της ROM υλοποιούνται είτε ως CONSTANT του κατάλληλου τύπου είτε ως αποκωδικοποιητής του σήματος address
- Όταν  $re = '0'$ , τα δεδομένα στην έξοδο επιλέγουμε είτε να παραμένουν αμετάβλητα είτε να μην οδηγούνται (υψηλή αντίσταση)
- Η πολλαπλή ανάγνωση από μία θέση στη μνήμη ταυτόχρονα δεν δημιουργεί πρόβλημα διαμάχης (conflict)

## Μνήμη μόνο ανάγνωσης (ROM) (2)

### Διεπαφή της ROM



## Μνήμη τυχαίας προσπέλασης (RAM)

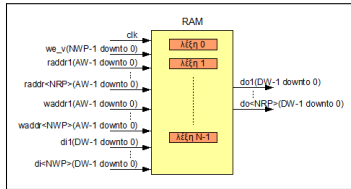
- Μία RAM διαθέτει τουλάχιστον μία είσοδο για τη διευθυνσιοδότηση (address) και τουλάχιστον μία θύρα για την ανάγνωση ή/και εγγραφή δεδομένων από και προς συγκεκριμένη θέση στη μνήμη
- Υποχρεωτικά διαθέτει είσοδο ρολογιού (clk) και επιτρεψη εγγραφής (we) για κάθε θύρα εγγραφής
- Μπορεί να διαθέτει reset είτε για τον καθαρισμό των περιεχομένων όλων των θέσεων
- Μπορεί να οριστεί και επιτρεψη ανάγνωσης θύρας εξόδου
- Οι πολλαπλές αιτήσεις για εγγραφή στην ίδια θέση δημιουργούν πρόβλημα διαμάχης και επιλύονται με κατάλληλη λογική ελέγχου (προτεραιότητα)
- Η ταυτόχρονη εγγραφή και ανάγνωση από μία θέση μνήμης πρέπει να επιλύεται στο υλικό

## Διεπαφή και οργάνωση μιας RAM

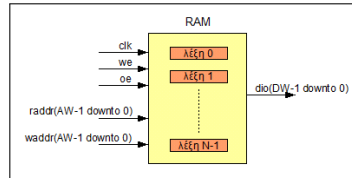
- Μία RAM μπορεί να χρησιμοποιεί ξεχωριστούς διαύλους για την είσοδο και έξοδο δεδομένων ή αμφίδρομο δίαυλο ο οποίος χρησιμοποιείται τόσο για την είσοδο όσο και για την έξοδο δεδομένων (θύρα τύπου inout)
- Διαθέτει τουλάχιστον μία είσοδο για τη διευθυνσιοδότηση
- Πολλαπλά σήματα επιτρεψής (π.χ.  $we_1$ ,  $we_2$ , ...,  $we_{nwp}$ ) μπορούν να αντικατασταθούν από ένα διάνυσμα επιτρεψής ( $we_v(NWP-1 \text{ downto } 0)$ )
- Σε σύγχρονες τεχνολογίες FPGA, τα ολοκληρωμένα έχουν διαθεσιμότητα ενσωματωμένων μπλοκ μνήμης block RAM

## Διεπαφή και οργάνωση μιας RAM (2)

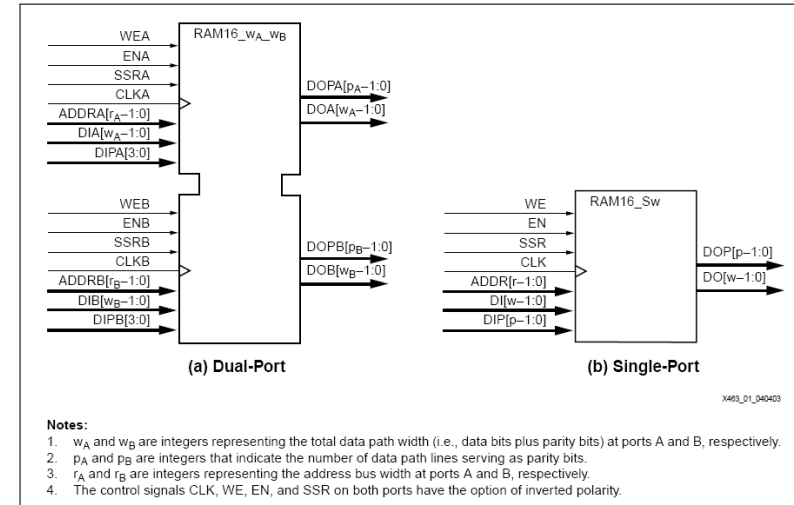
- Διεπαφή RAM με πολλαπλές θύρες ανάγνωσης και εγγραφής



- Διεπαφή RAM με μία αμφίδρομη (δικατευθυντική) θύρα



## Ενσωματωμένα μπλοκ μνήμης (block RAM) στην αρχιτεκτονική Spartan-3



## Διεπαφή της block RAM

Signal Description	Single Port	Dual Port		Direction
		Port A	Port B	
Data Input Bus	DI	DIA	DIB	Input
Parity Data Input Bus (available only for byte-wide and wider organizations)	DIP	DIPA	DIPB	Input
Data Output Bus	DO	DOA	DOB	Output
Parity Data Output (available only for byte-wide and wider organizations)	DOP	DOPA	DOPB	Output
Address Bus	ADDR	ADDRA	ADDRB	Input
Write Enable	WE	WEA	WEB	Input
Clock Enable	EN	ENA	ENB	Input
Synchronous Set/Reset	SSR	SSRA	SSRB	Input
Clock	CLK	CLKA	CLKB	Input

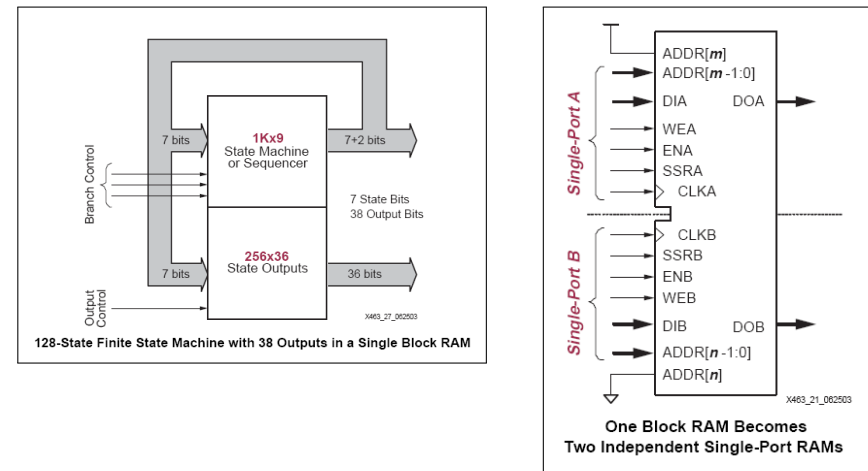
## Ιδιότητες και χαρακτηριστικά των block RAM

<b>Αριθμός bit</b>	18,432 (16K data, 2K parity)
<b>Οργανώσεις μνήμης</b>	16Kx1, 8Kx2, 4Kx4, 2Kx8, 2Kx9 (with parity), 1Kx16, 1Kx18, 512x32, 512x36, 256x72 (single-port only)
<b>Επιδόσεις</b>	περίπου 200 MHz
<b>Διεπαφή</b>	σύγχρονη ανάγνωση και εγγραφή
<b>Ιδιότητες</b>	ρύθμιση ως μονής θύρας ή διπλής θύρας, διαφορετικά εύρη bit για τις θύρες ανάγνωσης

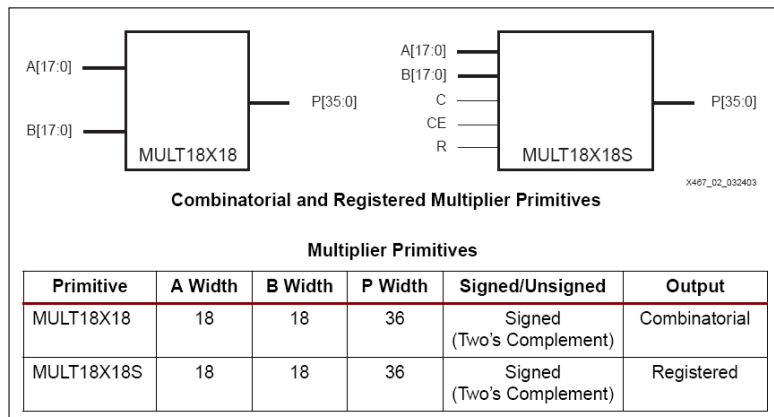
## Πιθανές εφαρμογές για τα ενσωματωμένα μπλοκ μνήμης (block RAM)

- Τοπική αποθήκευση
- Ουρές (FIFOs) και στοίβες (stacks)
- Καταχωρητές ολίσθησης
- Αποθήκευση και γέννηση κυματομορφών (π.χ. σημείων X-Y τριγωνομετρικών συναρτήσεων)
- Κωδικοποιητές και αποκωδικοποιητές
- Μηχανές πεπερασμένων καταστάσεων (FSM)
- Μνήμη προγράμματος για ενσωματωμένους επεξεργαστές
- Αρχεία καταχωρητών
- Απαριθμητές

## Τρόποι χρησιμοποίησης μιας block RAM



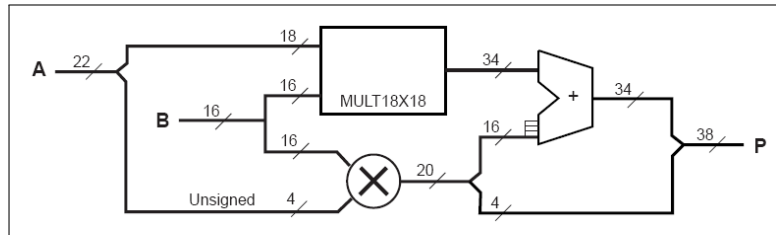
## Ενσωματωμένοι πολλαπλασιαστές (embedded multipliers) στην αρχιτεκτονική Spartan-3



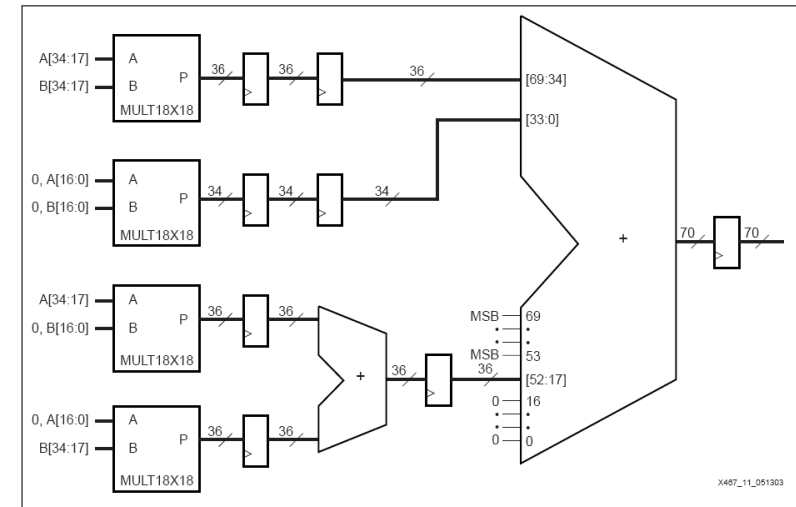
## Πιθανές εφαρμογές για τους ενσωματωμένους πολλαπλασιαστές

- Πολλαπλασιασμός μεταβλητών
  - προσημασμένες
  - απρόσημες
  - απρόσημη με προσημασμένη
- Πολλαπλασιαστές με ακέραια σταθερά
- Ολισθητές
  - Λογικοί
  - Αριθμητικοί
  - Βαρελοειδείς
- Αριθμητική αναπαράσταση συμπλήρωμα-ως-προς-2 (2's-complement) και πρόσημο-μέγεθος (sign-magnitude)

## Υλοποίηση πολλαπλασιαστή 22 × 16-bit



## Υλοποίηση πολλαπλασιαστή 35 × 35-bit

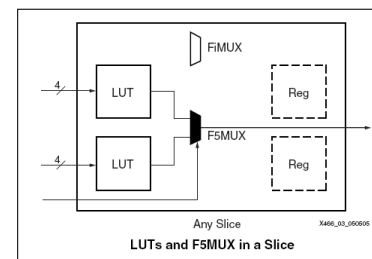


## Πολυπλέκτες μεγάλου εύρους σε συσκευές Xilinx Spartan-3

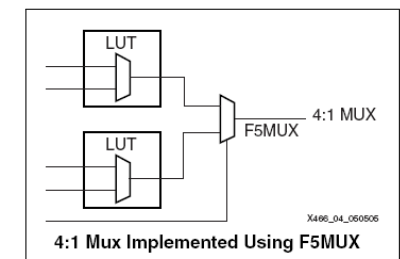
- Οι πολυπλέκτες αποτελούν θεμελιώδη δομική μονάδα σχεδόν σε κάθε λογική σχεδίαση
- Στην αρχιτεκτονική Spartan-3 οι πολυπλέκτες μπορούν να υλοποιηθούν με χρήση LUT (μικρός αριθμός εισόδων στον πολυπλέκτη) και εξειδικευμένων πολυπλεκτών (για μεγάλο αριθμό εισόδων)
- Υλοποίηση
  - πολυπλέκτης 4-σε-1 σε ένα slice
  - πολυπλέκτης 16-σε-1 σε ένα CLB
  - πολυπλέκτης 32-σε-1 σε δύο CLB
- Με παρόμοιο τρόπο υλοποιούνται συνδυαστικά κυκλώματα όπως συγκριτές, κωδικοποιητές, αποκωδικοποιητές κ.α.

## Ο εξειδικευμένος πολυπλέκτης F5MUX

### Χωροθέτηση του F5MUX

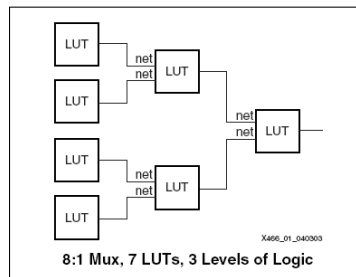


### Παράδειγμα χρήσης

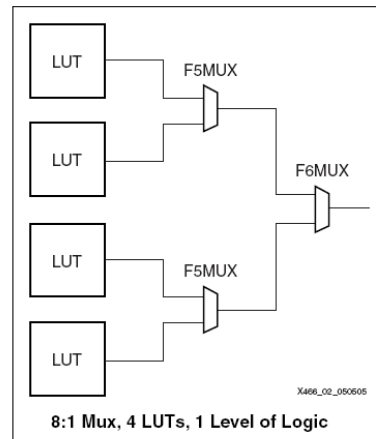


## Υλοποίηση πολυπλέκτη 8-σε-1

Μόνο με LUT



Με LUT και εξειδικευμένους πολυπλέκτες



## Αρχιτεκτονικά χαρακτηριστικά των συσκευών Xilinx Virtex-5 (1)

- Configurable Logic Blocks (CLBs) τα οποία παρέχουν συνδυαστική και ακολουθιακή λογική. Μπορούν να χρησιμοποιηθούν ως κατανεμημένη μνήμη και ως καταχωρητής ολίσθησης των 32-bit. Χρησιμοποιούν LUT των 6 εισόδων
- Μπλοκ εισόδου/εξόδου (IOBs) που ελέγχουν τη ροή των δεδομένων ανάμεσα στους ακροδέκτες της συσκευής και τα εσωτερικά στοιχεία λογικής
- Συστοιχίες μνήμης τύπου block RAM (BRAM) που παρέχουν τη δυνατότητα αποθήκευσης για 36-kbit αποθήκευσης σε πλήρη δίθυρη λειτουργία (two-port memory). Κάθε block RAM είναι διαχωρίσιμη σε δύο ανεξάρτητες των 18-kbit

## Αρχιτεκτονικά χαρακτηριστικά των συσκευών Xilinx Virtex-5 (2)

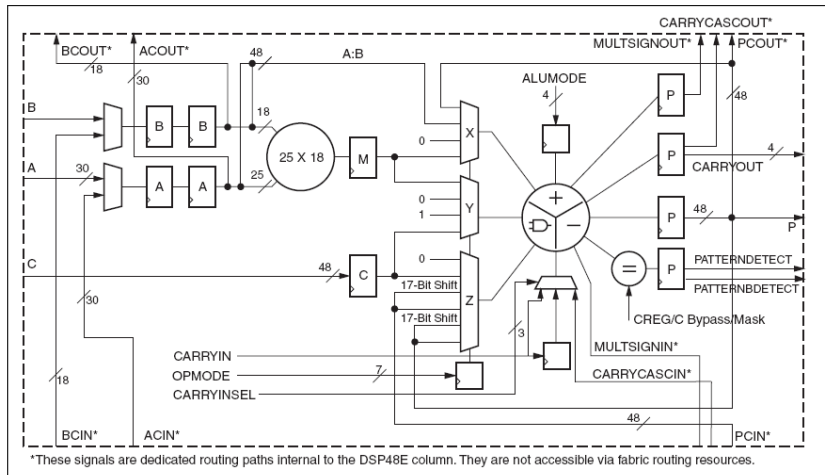
- Ενσωματωμένοι χειριστές δεδομένων DSP48E οι οποίοι περιέχουν πολλαπλασιαστές  $25 \times 18$ -bit οι οποίοι ακολουθούνται από αθροιστή/αφαιρέτη/συσσωρευτή των 48-bit. Υποστηρίζουν πολλές δυνατότητες για λειτουργίες ψηφιακής επεξεργασίας σήματος. Μπορούν να υλοποιήσουν και λογικές συναρτήσεις υψηλού εύρους bit
- Πλακίδιο διαχείρισης ρολογιού (Clock Management Tile: CMT) το οποίο αποτελείται από δύο DCM και ένα βρόχο κλειδώματος φάσης PLL. Χρησιμοποιείται για την κατάλληλη ρύθμιση του ρολογιού προκειμένου την κατανομή του, αλλά και για τον πολλαπλασιασμό, τη διαίρεση συχνότητας καθώς και την ολίσθηση ρολογιού και το φιλτράρισμα τυχόν αναπηδήσεων στο σήμα του ρολογιού

## Ο ενσωματωμένος χειριστής δεδομένων DSP48E

- DSP48E: ενσωματωμένο datapath με δυνατότητες DSP
- Επεξεργαστικό στοιχείο με βελτιστοποιημένα χαρακτηριστικά (τοπικές διασυνδέσεις, μειωμένη κατανάλωση ισχύος, αυξημένη μέγιστη συχνότητα χρονισμού)
- Εσωτερικές λειτουργίες
  - Πολλαπλασιασμός
  - Πολλαπλασιασμός-και-συσσώρευση (MAC: multiply-and-accumulate)
  - Πολλαπλασιασμός-και-πρόσθεση (για πράξεις διευθυνσιοδότησης σε πίνακα)
  - Αθροιστής τριών εισόδων
  - Βαρελοειδής ολισθητής, συγκριτής μεγέθους, πολυπλέκτης μεγάλου εύρους bit, λογικές συναρτήσεις, απαριθμητής
- Κλιμάκωση σχεδιασμού με αλυσίδωση μονάδων (cascading) και χρονοκαταμερισμό (time-multiplexing)



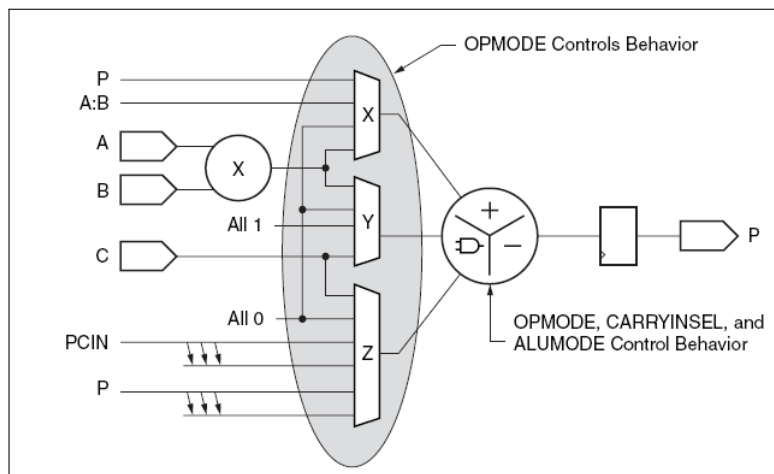
## Η μονάδα DSP48E



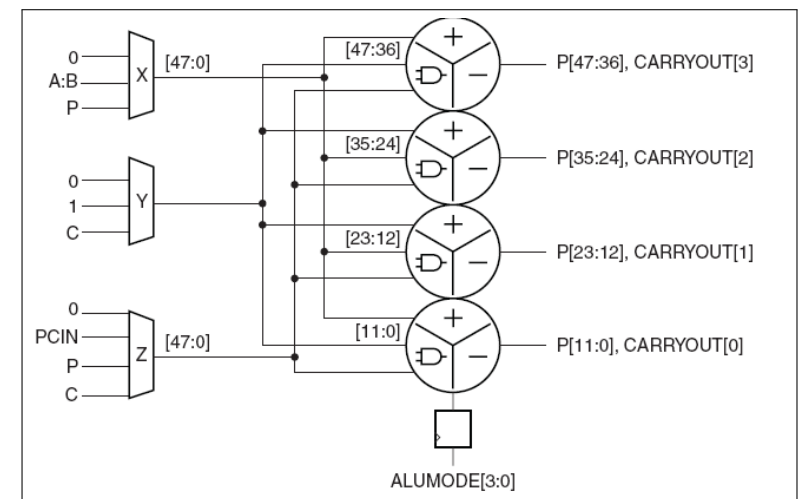
## Δυνατότητες της μονάδας DSP48E

- Πολλαπλασιαστής 25 × 18-bit
- Είσοδος A των 30-bit και B των 18-bit
- Αλυσίδωση των εισόδων A και B
- Ανεξάρτητη είσοδος C και καταχωρητής C με ανεξάρτητα σήματα ελέγχου
- Σήματα CARRYASCIN και CARRYASCOUT για την υποστήριξη αριθμητικής των 96-bit με δύο διαδοχικές μονάδες DSP48E
- Σήματα MULTSIGNIN και MULTSIGNOUT για την υποστήριξη πολλαπλασιασμού και συσσώρευσης των 96-bit
- Λειτουργία SIMD: Single Instruction Multiple για τον αθροιστή-αφαιρέτη των τριών εισόδων
- Διπλός SIMD αθροιστής/αφαιρέτης/συσσωρευτής των 24-bit
- Τετραπλός SIMD αθροιστής/αφαιρέτης/συσσωρευτής των 12-bit
- Ξεχωριστά σήματα CARRYOUT για κάθε 'φέτα' του αθροιστή/αφαιρέτη/συσσωρευτή των 48-bit
- Λογική μονάδα των 48-bit για τις πράξεις AND, OR, NOT, NAND, NOR, XOR, XNOR των δύο εισόδων
- Ανίχνευση υπερχείλισης και υποχείλισης
- Υποστήριξη στρωγγυλοποίησης
- Δεξιά ολισθήση των 17-bit για μεγαλύτερες πολλαπλασιαστικές δομές
- Σήμα OPMODE των 7-bit για την επιλογή συγκεκριμένων λειτουργιών μέσω των πολυπλεκτών X, Y, Z
- Πρόσθετοι καταχωρητές διοχέτευσης

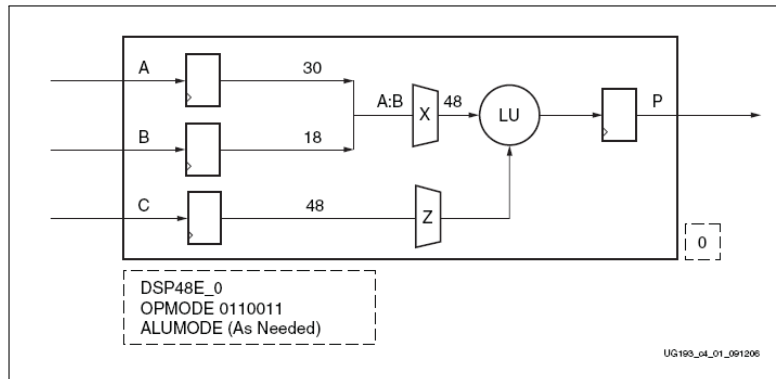
## Απλοποιημένη λειτουργία της DSP48E



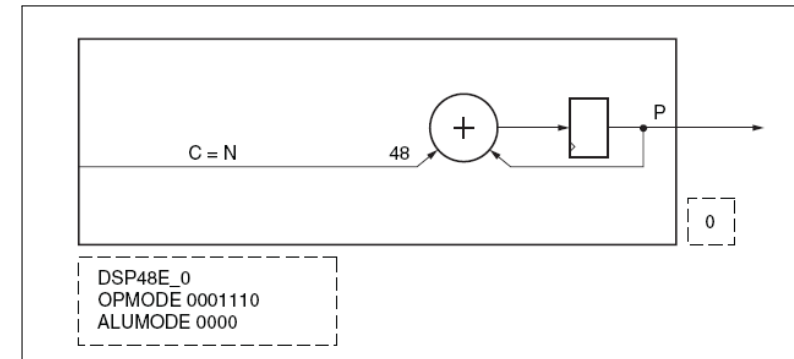
## Λειτουργία SIMD για τον αθροιστή/αφαιρέτη/ολισθητή



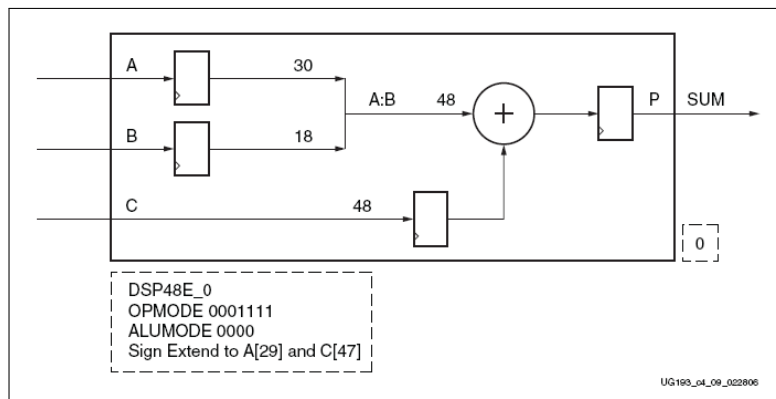
## Υλοποίηση λογικής συνάρτησης των δύο εισόδων των 48-bit



## Υλοποίηση απαριθμητή των 48-bit



## Αθροιστής δύο εισόδων των 48-bit



## Προσημασμένος πολλαπλασιαστής 25 × 18-bit με διοχέτευση

