

Σχεδίαση Ψηφιακών Κυκλωμάτων

Η φυσική σχεδίαση των FPGA

Νικόλαος Καββαδίας
nkavn@uop.gr

12 Ιανουαρίου 2011

Σκιαγράφηση της διάλεξης

- Εισαγωγή στις επαναδιαμορφώσιμες αρχιτεκτονικές
- Τοπολογίες διασύνδεσης
- Χαρακτηριστικά των επαναδιαμορφώσιμων αρχιτεκτονικών
- Προγραμματιζόμενοι διακόπτες
- Προγραμματιζόμενες διασυνδέσεις Xilinx
- Παρουσίαση μιας ερευνητικής αρχιτεκτονικής FPGA:
AMDREL

Βασικά γνωρίσματα των επαναδιαμορφώσιμων αρχιτεκτονικών (reconfigurable architectures)

- Μια επαναδιαμορφώσιμη αρχιτεκτονική προσφέρει:
 - Μεγαλύτερη ευελιξία συγκρινόμενη με τις ASIC υλοποιήσεις
 - Υψηλότερες επιδόσεις από τις αντίστοιχες CPU ή DSP συσκευές
- Τα FPGA αποτελούν την κυριότερη κατηγορία επαναδιαμορφώσιμων αρχιτεκτονικών
- Μια αρχιτεκτονική FPGA χαρακτηρίζεται ως:
 - Διαμορφώσιμη: τροποποιούμενη κατά το χρόνο σχεδίασης
 - Επαναδιαμορφώσιμη: τροποποιούμενη έπειτα από την υλοποίηση της ψηφιακής σχεδίασης
 - Δυναμικά επαναδιαμορφώσιμη: μπορεί να τροποποιηθεί κατά το χρόνο εκτέλεσης/λειτουργίας της ψηφιακής σχεδίασης

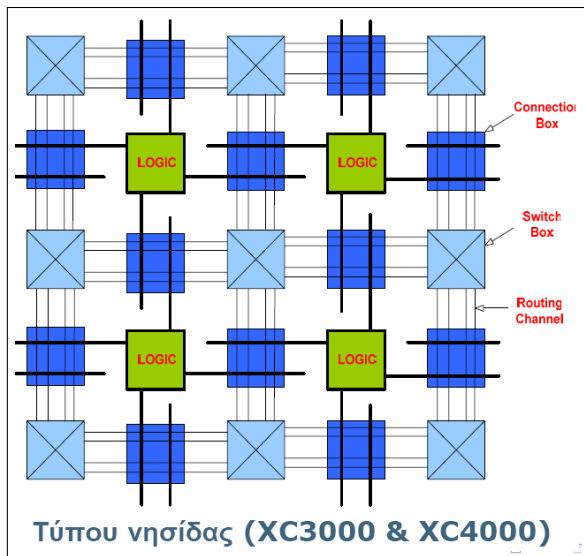
Σύγχρονες σχεδιαστικές απαιτήσεις για τα FPGA

- Οι σύγχρονες επαναδιαμορφώσιμες συσκευές πρέπει:
 - να εμφανίζουν μεγαλύτερες συχνότητες λειτουργίας
 - να καταναλώνουν λιγότερη ισχύ/ενέργεια
 - να καταλαμβάνουν μικρότερη επιφάνεια πυριτίου
- Απαιτήση για ανάπτυξη ετερογενών αρχιτεκτονικών
 - Η ανομοιομορφία προσφέρει πλήθος σχεδιαστικών κερδών
- Αποτέλεσμα είναι η ανάπτυξη platform-based επαναδιαμορφώσιμων αρχιτεκτονικών (π.χ. Virtex-4)
- Τα FPGA αποτελούνται από:
 - Λογικά μπλοκ
 - I/O μπλοκ
 - Προγραμματιζόμενη διασύνδεση

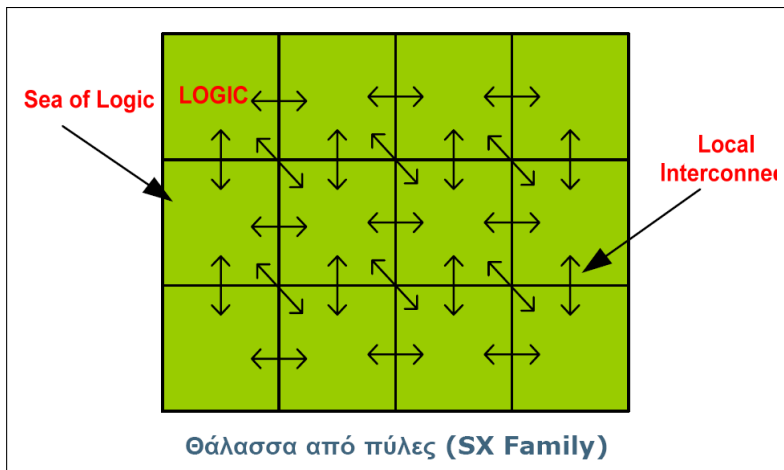
Εναλλακτικές τοπολογίες για FPGA

- Τύπου νησίδας (island-based)
- Τύπου θάλασσας από πύλες (sea-of-gates)
- Ιεραρχική τοπολογία
- Μιας διάστασης (coarse-grain reconfigurable: GARP, Chimaera)
- Τύπου πλέγματος (grid-based)
- Μερικώς διασταυρούμενη

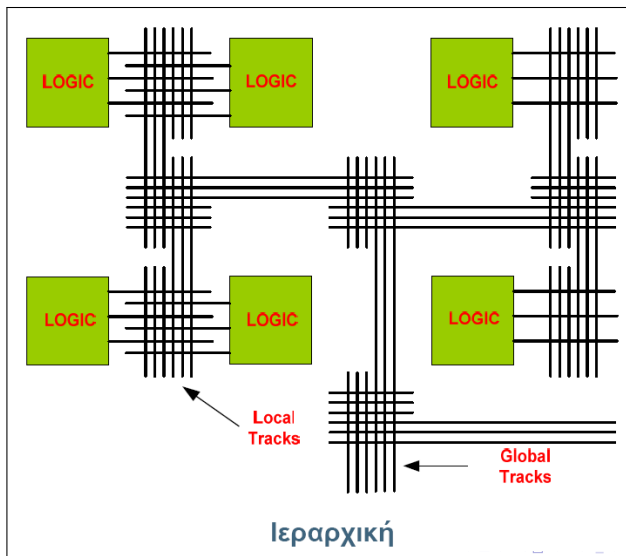
Τοπολογία τύπου νησίδας



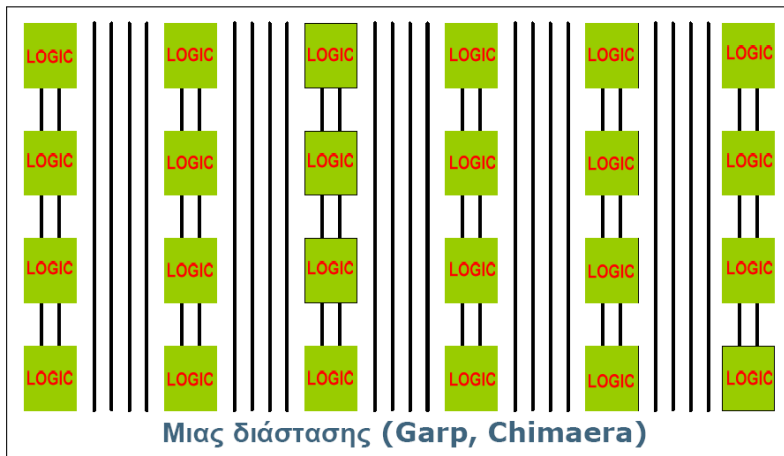
Τοπολογία θάλασσας από πύλες



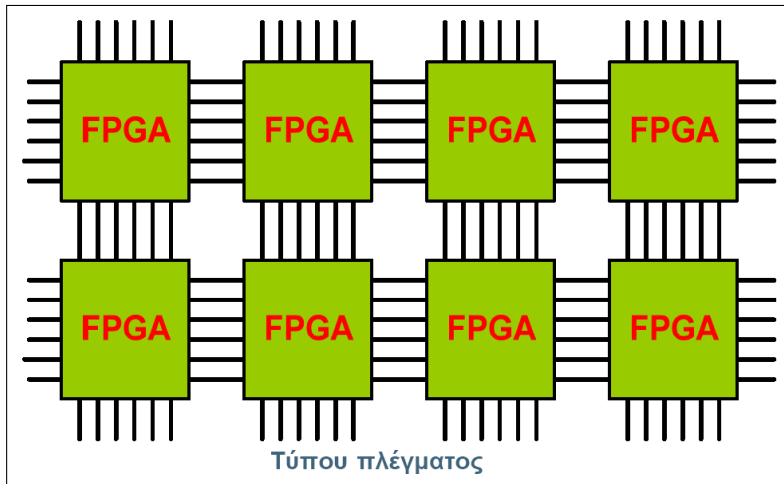
Ιεραρχική τοπολογία



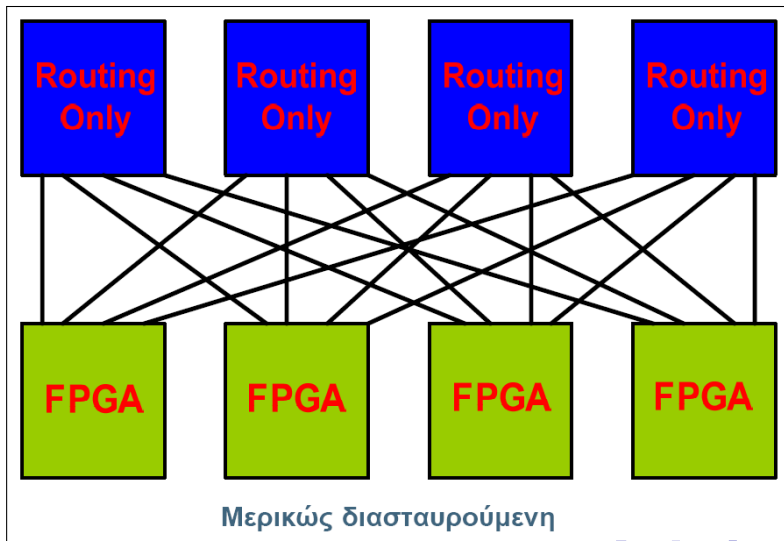
Μιας διάστασης



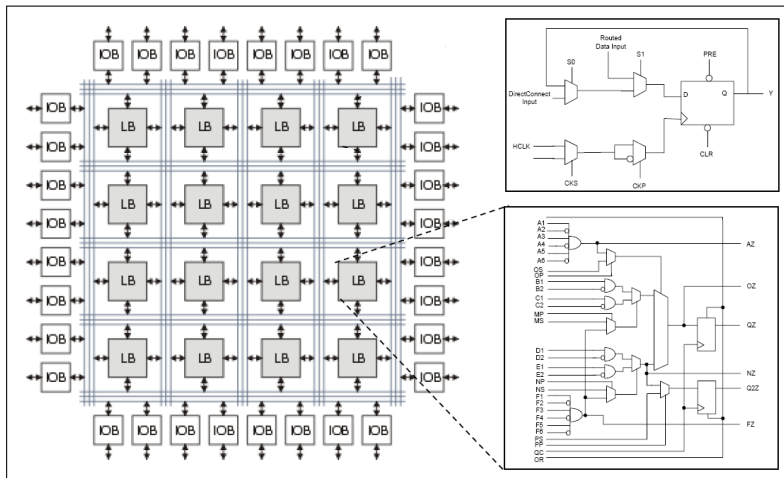
Τύπου πλέγματος



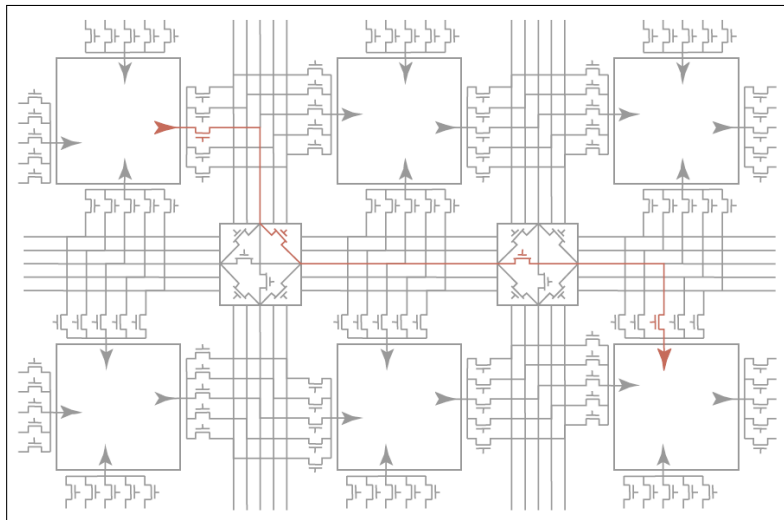
Μερικώς διασταυρούμενη



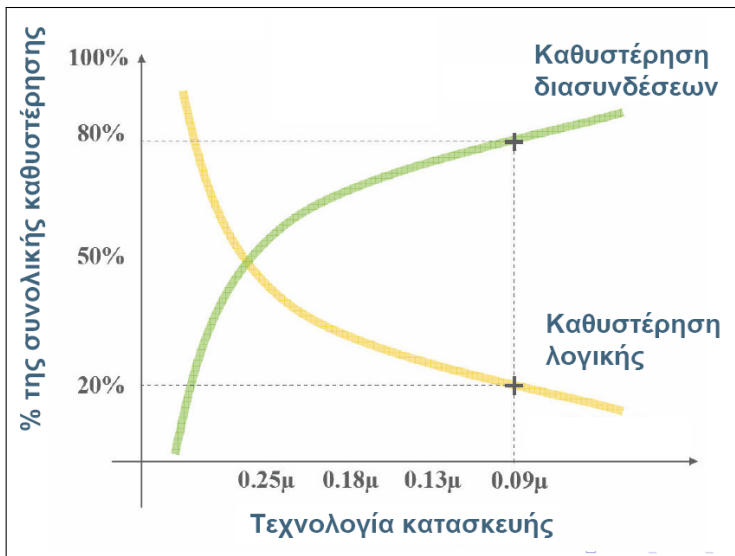
Δομή ενός τυπικού FPGA



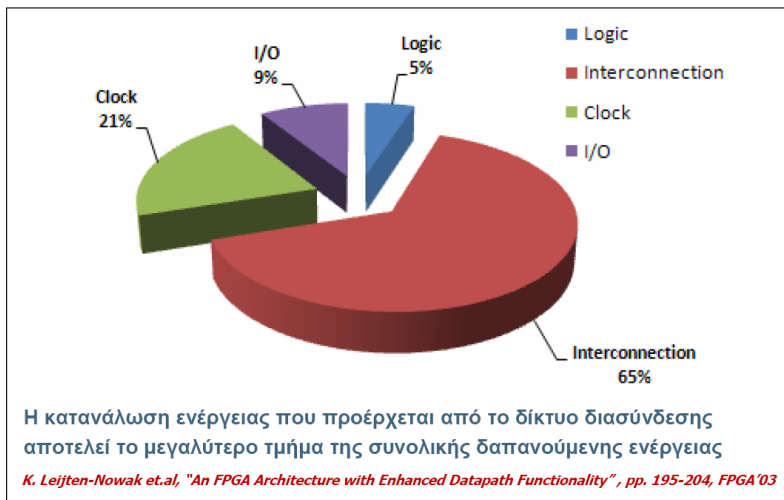
Άποψη ενός FPGA στο κυκλωματικό επίπεδο



Παράγοντες που καθορίζουν την καθυστέρηση ενός FPGA



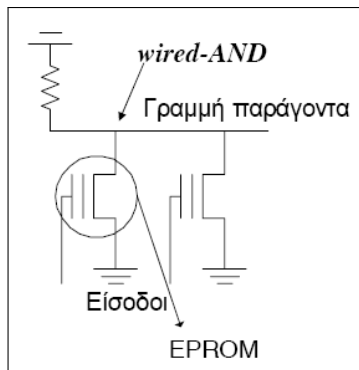
Παράγοντες που επηρεάζουν την κατανάλωση ενέργειας ενός FPGA



Προγραμματιζόμενοι διακόπτες: Γενικά στοιχεία

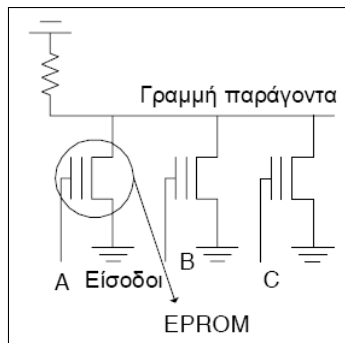
- Όταν προγραμματιστούν καθορίζουν τον τρόπο λειτουργίας του κυκλώματος
- Αρχικά χρησιμοποιήθηκαν οι ασφάλειες (fuses)
- Στα CPLDs χρησιμοποιούνται τα τρανζίστορ επιπλέουσας πύλης (floating gate transistors: FGMOS) που χρησιμοποιούνται και στις μνήμες EPROM και EEPROM
- Στα FPGAs χρησιμοποιούνται κύτταρα SRAM (SRAM cells) και αντιασφάλειες (antifuses)
- Συστήματα προγραμματισμού
 - Εργαστηριακός εξοπλισμός χαμηλού κόστους
 - Έχουν ειδικές υποδοχές (sockets) στις οποίες τοποθετείται το chip
 - Επικοινωνούν με workstations στα οποία εκτελείται το κατάλληλο λογισμικό προγραμματισμού
 - In System Programming: Προγραμματισμός μίας συσκευής μετά την τοποθέτηση της στο τυπωμένο κύκλωμα (PCB)

Προγραμματιζόμενοι διακόπτες: Τύπου EPROM, EEPROM



- Ανάλογα με τον προγραμματισμό τους βρίσκονται σε δύο καταστάσεις
- Ελέγχονται από το δυναμικό της πύλης τους
- Είναι μονίμως αποκομμένα, ανεξάρτητα από το δυναμικό της πύλης

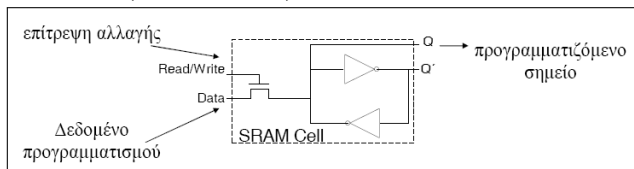
Παράδειγμα προγραμματισμού διακοπών τύπου EPROM



- Αν όλα τα τρανζίστορ είναι απρογραμματίστα τότε υλοποιείται η λογική συνάρτηση $F = (A + B + C)$
- Αν το τρανζίστορ A είναι προγραμματισμένο τότε υλοποιείται η συνάρτηση $F = (B + C)$, ενώ αγνοείται η είσοδος A

Κύτταρα SRAM

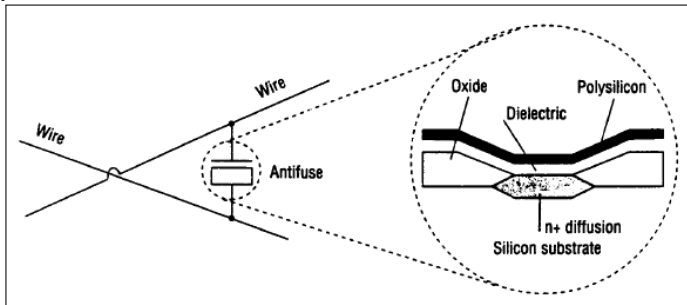
- Οι συσκευές FPGA χρησιμοποιούν κύτταρα SRAM και αντισφάλειες για υλοποίηση λογικής (logic) και διασυνδέσεων (interconnect)



- Υλοποίηση λογικής
 - Θέτουν σε αγωγή τρανζίστορ τα οποία βραχυκυκλώνουν δύο γραμμές
- Υλοποίηση διασύνδεσης
 - Γραμμές επιλογής πολυπλεκτών: Μόνιμη διασύνδεση μίας από τις εισόδους του πολυπλέκτη στην έξοδό του
 - Εναλλακτική υλοποίηση με τρισταθείς απομονωτές (tristate buffers)

Αντιασφάλειες (antifuses) (1)

- Οι αντιασφάλειες είναι κυκλώματα τα οποία απρογραμματίστα έχουν πολύ υψηλή αντίσταση (ανοικτά κυκλώματα) ενώ όταν προγραμματιστούν αποκτούν πολύ χαμηλή αντίσταση



- Η αντίσταση που θα έχει η κάθε αντιασφάλεια μετά τον προγραμματισμό της είναι πολύ σημαντική για τη λειτουργία του κυκλώματος

Αντιασφάλειες (antifuses) (2)

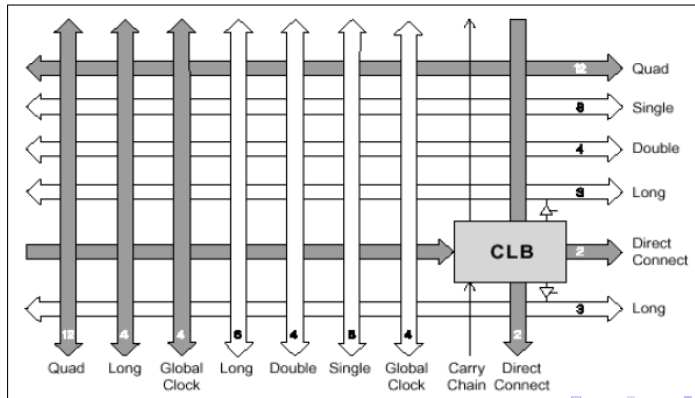
- Για τον προγραμματισμό, τροφοδοτούμε με ρεύμα (περίπου 5 mA)
- Το υψηλό αυτό ρεύμα προκαλεί μεγάλη κατανάλωση ισχύος στη μικρή επιφάνεια της αντιασφάλειας
- Λιώνει ένα λεπτό μονωτικό υλικό, οπότε δημιουργείται κανάλι αγωγής
- Μία προγραμματιζόμενη συσκευή μπορεί να έχει αρκετές αντιασφάλειες (10^5 με 10^6)
- Συνήθως μόνο το 2% από αυτές χρειάζεται να προγραμματιστεί για να προκύψει το τελικό κύκλωμα
- Οι αντιασφάλειες παρουσιάζουν αρκετά προβλήματα αξιοπιστίας καθώς οι ιδιότητες τους αλλάζουν με την πάροδο του χρόνου.

Προγραμματιζόμενες διασυνδέσεις Xilinx (1)

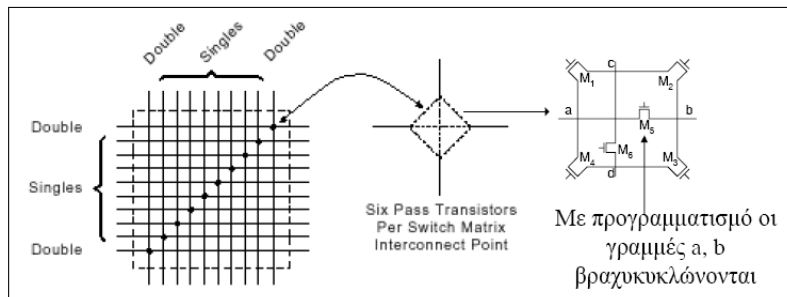
- Οι διασυνδέσεις πραγματοποιούνται από μεταλλικά τμήματα με προγραμματιζόμενα διακοπτικά στοιχεία (switching points) και μήτρες διακοπτικών στοιχείων (switching matrices)
- Τα λογικά τμήματα ονομάζονται CLB (Configurable Logic Blocks) και τοποθετούνται σε διάταξη πίνακα
- Η διασύνδεση των CLB σχετίζεται με κάθε γραμμή και στήλη του πίνακα των διακοπτικών στοιχείων
- Η διασύνδεση των block εισόδου/εξόδου (IOB) διαμορφώνει ένα δακτυλίδι γύρω από τον πίνακα των CLB
- Υπάρχει γενική διασύνδεση (Global Routing) η οποία αποτελείται από εξειδικευμένα δίκτυα (για ρολόι και σήματα με μεγάλο fanout)

Προγραμματιζόμενες διασυνδέσεις Xilinx (2)

- Πέντε τύποι διασύνδεσης ξεχωρίζουν από το σχετικό μήκος των τμημάτων τους: γραμμές μονές, διπλές, τετραπλές, οκταπλές και μακριές
- Υπάρχουν άμεσες διασυνδέσεις που επιτρέπουν γρήγορη ροή δεδομένων μεταξύ γειτονικών CLB's και μεταξύ IOBs και CLB's



Προγραμματιζόμενες διασυνδέσεις Xilinx (3)

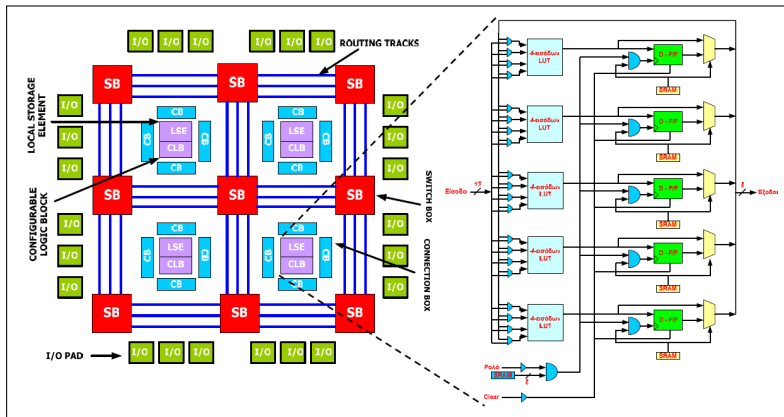


- Οι οριζόντιες και κάθετες μονές και διπλές γραμμές τέμνονται σε ένα σημείο που ονομάζεται προγραμματιζόμενη μήτρα διακοπών (PSM: Programmable Switch Matrix)
- Κάθε μήτρα διακοπών αποτελείται από προγραμματιζόμενα τρανζίστορ περάσματος που καθορίζουν τις διασυνδέσεις μεταξύ των γραμμών

Παράδειγμα αρχιτεκτονικής και φυσικής σχεδίασης FPGA: Η αρχιτεκτονική AMDREL

- Αρχιτεκτονική FPGA για χρήση σε εφαρμογές γενικού σκοπού
- Αποτέλεσμα ευρωπαϊκού ερευνητικού προγράμματος (FP6-IST) με συμμετοχή ελληνικών πανεπιστημιακών ομάδων (AUTH, DUTH)
- Υλοποίηση σε τεχνολογία STM 0.18 μ m
- Κλιμακωτή (scalable) αρχιτεκτονική – Ορθογώνια διευθέτηση των λογικών μπλοκ
- Εξειδικευμένος σχεδιασμός (customized design):
 - Τεχνικές σχεδίασης χαμηλής ισχύος στο BLE (Basic Logic Element)
 - Διερεύνηση (power, delay, area) της σχεδίασης του CLB
 - Νέα αρχιτεκτονική για τον τύπο και τις διαστάσεις του switch box

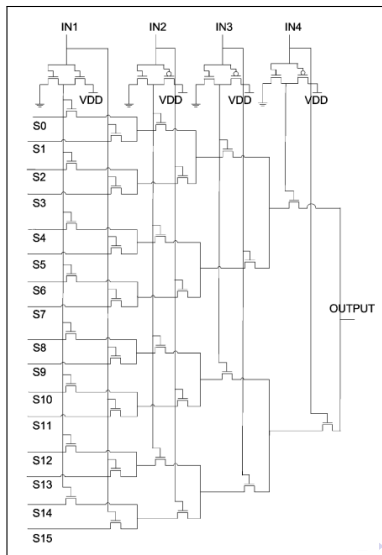
Η δομή του AMDREL FPGA και του CLB του



Το AMDREL FPGA CLB

- Το CLB αποτελείται από έναν αριθμό BLEs που διασυνδέονται σε τοπική δικτύωση
- Οι παράμετροι του CLB είναι: ο αριθμός των εισόδου του LUT (K), ο αριθμός των BLE ανά CLB (N), και ο αριθμός των εισόδων του CLB (I)
- LUT inputs: $K = 4$
- Cluster size: Για την ελαχιστοποίηση της κατανάλωσης ισχύος, η βέλτιστη επιλογή είναι 5 BLEs
- CLB inputs: Υπολογίζεται σύμφωνα με τη σχέση $I = \left(\frac{K}{2}\right) \times (N + 1)$ προκειμένου την υψηλή χρησιμοποίηση των διαθέσιμων BLEs (98%)

Κυκλωματικός σχεδιασμός του LUT



Χαρακτηριστικά του BLE

- Το LUT 4 εισόδων υλοποιείται με τη βοήθεια δομής πολύπλεξης
- Η κύρια διαφορά από έναν τυπικό πολυπλέκτη είναι ότι τα σήματα ελέγχου αποτελούν εισόδους του LUT και οι είσοδοι στον πολυπλέκτη αποθηκεύονται σε κελιά μνήμης (S0-S15)
- Το flip-flop είναι τύπου Double Edge-Triggered Flip-Flop (DETF) καθώς η διπλή ακμοπυροδότηση διατηρεί τον ίδιο ρυθμό δεδομένων στη μισή συχνότητα
- Στα πλαίσια της διερεύνησης για τις καλύτερες επιδόσεις εξετάστηκαν 5 υλοποιήσεις flip-flop της βιβλιογραφίας
- Επιλέχθηκε υλοποίηση με χρήση NMOS αντί για πύλες μετάδοσης λόγω της χαμηλότερης κατανάλωσης ισχύος

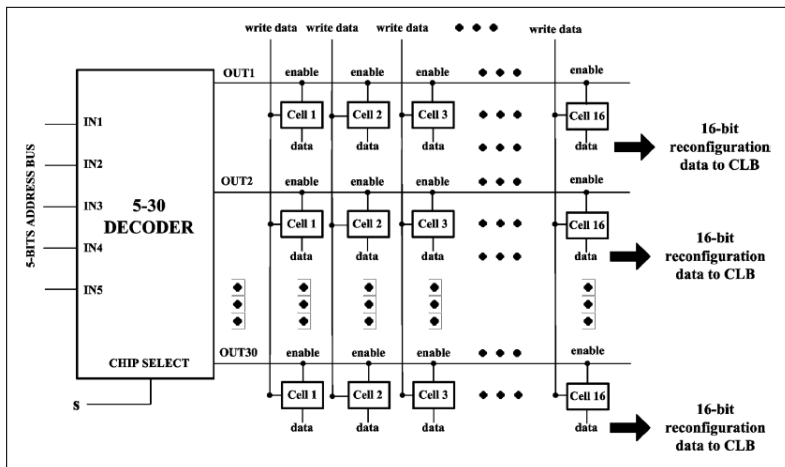
Η αρχιτεκτονική διασύνδεσης

- Είναι τύπου νησίδας (island-based) και βασίζεται σε αποθήκευση RAM
- Παρόμοιου τύπου διασύνδεση χρησιμοποιείται στις συσκευές των εταιριών Xilinx και Lucent Technologies
- Τα λογικά κελιά περικλείονται από κάθετες και οριζόντιες μεταλλικές γραμμές διασύνδεσης οι οποίες τα συνδέουν με τα προγραμματιζόμενα κυτία διασύνδεσης (routing switch)
- Τα κυτία διασύνδεσης αποτελούνται είτε από τρανζίστορ περάσματος είτε από τρισταθείς απομονωτές (ένας για κάθε κατεύθυνση)
- Η διασύνδεση του ρολογιού είναι τύπου δένδρου (H-tree) και χρησιμοποιεί σηματοδοσία χαμηλής διακύμανσης (low-swing signaling) από τα αντίστοιχα κυκλώματα πομπού και δέκτη

Η αρχιτεκτονική διαμόρφωσης του AMDREL FPGA (1)

- Αποτελείται από τα εξής στοιχεία:
 - Κελί μνήμης για την αποθήκευση των ψηφίων προγραμματισμού
 - Στοιχείο τοπικής αποθήκευσης για κάθε πλακίδιο (tile: αποτελείται από ένα CLB μαζί με τα κυτία συνδέσεων εισόδων και εξόδων του)
 - Switch box μαζί με τη μνήμη για τον προγραμματισμό του
 - Αποκωδικοποιητής για τον έλεγχο της διαδικασίας διαμόρφωσης όλου του FPGA
- Κελί μνήμης: 6T με τρανζίστορ ελαχίστων διαστάσεων
- Στοιχεία για μία συστοιχία 8×8
 - Μέγεθος bitstream: 4.2Kb
 - 16-bit data bus, 12-bit address bus
 - 1.4 ns delay για την εγγραφή μίας σειράς των 16 κελιών μνήμης
 - 2100 κύκλοι ρολογιού για τη διαμόρφωση όλου του FPGA
 - Ανεξάρτητη διαμόρφωση για το κάθε πλακίδιο

Η αρχιτεκτονική διαμόρφωσης του AMDREL FPGA (2)



Φυσικά χαρακτηριστικά του AMDREL FPGA

- Χαρακτηριστικά του πρωτότυπου που υλοποιήθηκε σε τεχνολογία STM 0.18 μ m
 - 8 × 8 μέγεθος συστοιχίας (320 LUTs, 320 FFs, 96 I/Os)
 - 1.8V τάση τροφοδοσίας
 - 4.86 × 5.28 mm² επιφάνεια ολοκληρωμένου
 - 2.49 μ sec χρόνος διαμόρφωσης
 - 6 μεταλλικές στρώσεις
 - 1 Βραχείες συνδέσεις, τάση τροφοδοσίας
 - 2 Συνδέσεις βραχείες, τοπικές και μεταξύ cluster, δίαυλοι, γείωση
 - 3 Τοπικές (intra-cluster), κύριες διασυνδέσεις
 - 4 Σήμα ρολογιού, διαμόρφωση
 - 5 Διαμόρφωση
 - 6 Διαμόρφωση

Η φυσική σχεδίαση του AMDREL FPGA (tile layout)

