

Σχεδίαση Ψηφιακών Κυκλωμάτων

Συνδυαστική και ακολουθιακή λογική

Νικόλαος Καββαδίας
nkavn@uop.gr

10 Νοεμβρίου 2010

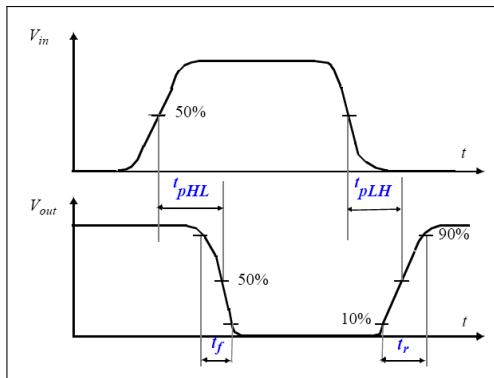
Σκιαγράφηση της διάλεξης

- Αρχές σχεδίασης συνδυαστικών κυκλωμάτων CMOS
- Λογικές πύλες και βασικά συνδυαστικά κυκλώματα
- Ακολουθιακά κυκλώματα: flip-flop
- Ανάλυση της λειτουργίας ακολουθιακών κυκλωμάτων

Ιδιότητες των κυκλωμάτων CMOS

- Πλήρης διακύμανση τιμών εξόδου (full rail-to-rail swing) το οποίο μεταφράζεται σε υψηλά επίπεδα περιθωρίων θορύβου
- Οι λογικές στάθμες δεν εξαρτώνται από τις σχετικές διαστάσεις των τρανζίστορ
- Υπάρχει πάντα μονοπάτι είτε προς τη V_{dd} είτε προς τη V_{ss} κατά τη σταθερή κατάσταση, το οποίο συνεπάγεται σχεδόν μηδενική αντίσταση εξόδου
- Εξαιρετικά υψηλή αντίσταση εισόδου (εκατοντάδες $M\Omega$)
- Αμελητέο ρεύμα εισόδου (πύλης) σταθερής κατάστασης
- Δεν υπάρχει άμεσο μονοπάτι από τη θετική τροφοδοσία στη γη \rightarrow (θεωρητική) μηδενική στατική κατανάλωση ισχύος
- Η καθυστέρηση διάδοσης είναι συνάρτηση του χωρητικού φορτίου και των αντιστάσεων των τρανζίστορ

Ορισμοί για τις χρονικές καθυστερήσεις διάδοσης



t_{pHL} : High-to-Low χρόνος διάδοσης

t_{pLH} : Low-to-High χρόνος διάδοσης

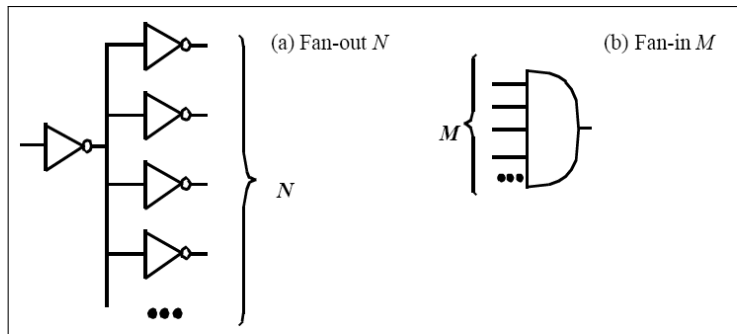
t_f : fall time (χρόνος καθόδου)

t_r : rise time (χρόνος ανόδου)

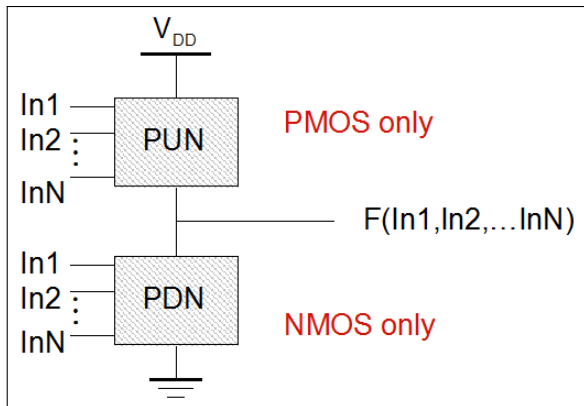
Ορισμοί των βαθμών οδήγησης εισόδου και εξόδου

Βαθμός οδήγησης εισόδου: fan-in

Βαθμός οδήγησης εξόδου: fan-out



Η συμπληρωματική στατική λογική CMOS

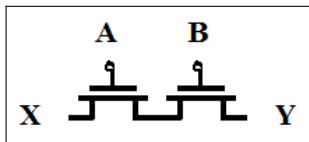


- Τα λογικά δικτυώματα PUN και PDN λέμε ότι είναι συμπληρωματικά
- PUN: Pull-Up Network, PDN: Pull-Down Network

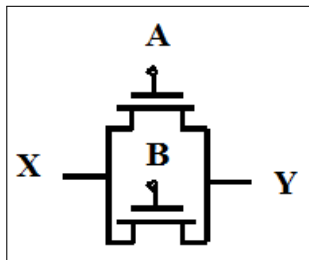
Τρανζίστορ NMOS σε σειρά ή σε παραλληλία

- Τα τρανζίστορ μπορεί να θεωρηθεί ότι λειτουργούν ως διακόπτες οι οποίοι ελέγχονται από τα αντίστοιχα επίπεδα σήματος στην πύλη
- Ο διακόπτης NMOS κλείνει (άγει) όταν η είσοδος ελέγχου του είναι σε υψηλή στάθμη

$Y = X$ when (A and B)



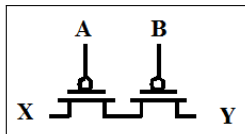
$Y = X$ when (A or B)



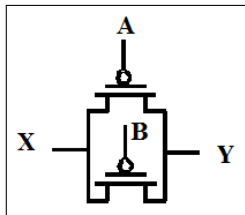
- Τα τρανζίστορ NMOS παράγουν 'ισχυρό' 0 αλλά 'ασθενές' 1

Τρανζίστορ PMOS σε σειρά ή σε παραλληλία

- Ο διακόπτης PMOS κλείνει (άγει) όταν η είσοδος ελέγχου του είναι σε χαμηλή στάθμη
- Η έκφραση $Y = X$ when $(\overline{A} \cdot \overline{B}) = X$ when $(\overline{A + B})$



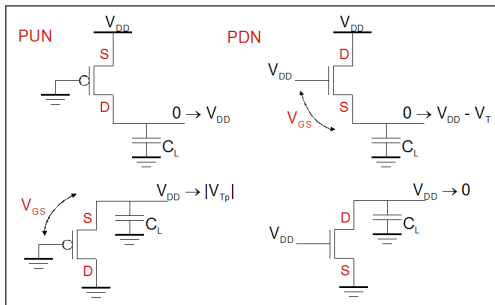
- Η έκφραση $Y = X$ when $(\overline{A + B}) = X$ when $(\overline{A \cdot B})$



- Τα τρανζίστορ PMOS παράγουν 'ισχυρό' 1 αλλά 'ασθενές' 0

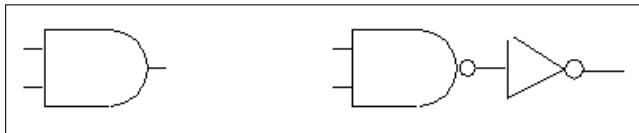
Ισχυρές και ασθενείς λογικές στάθμες

- Τα ασθενή 0 και 1 οφείλονται σε μείωση της διαφοράς δυναμικού λόγω της τάσης κατωφλίου (V_T) των τρανζίστορ NMOS και PMOS
- Το ασθενές 1 των NMOS είναι $V_{DD} - V_{Tn}$, το ασθενές 0 των PMOS είναι $|V_{Tp}|$
- Τα ισχυρά 0 και 1 είναι 0 και V_{DD} αντίστοιχα



Βασικά στοιχεία για το σχεδιασμό πυλών με τα συμπληρωματικά δικτυώματα PUN και PDN

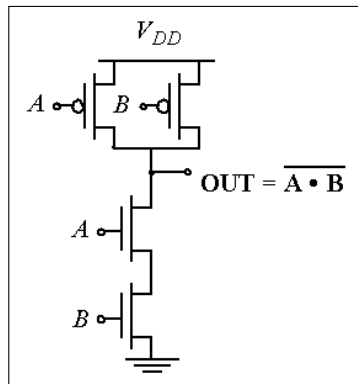
- Οι βασικές πύλες στο σχεδιασμό στατικών κυκλωμάτων CMOS είναι οι NAND, NOR και INV (inverter, αντιστροφέας, NOT)
- Χρησιμοποιούμε το θεώρημα DeMorgan:
$$\overline{A + B} = \overline{A} \cdot \overline{B}$$
$$\overline{A \cdot B} = \overline{A} + \overline{B}$$
- Οι συμπληρωματικές πύλες (π.χ. AND, OR, BUF) λαμβάνονται με μία επιπλέον αντιστροφή στην έξοδο



Παράδειγμα: Πύλη NAND

Πίνακας αληθείας (truth table)

a	b	a nand b
0	0	1
0	1	1
1	0	1
1	1	0

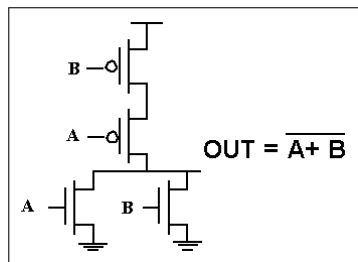


- Λειτουργία PDN (μονοπάτι προς τη γη): $G = \overline{A \cdot B}$
- Λειτουργία PUN (μονοπάτι προς V_{dd}): $F = \overline{A} + \overline{B}$

Παράδειγμα: Πύλη NOR

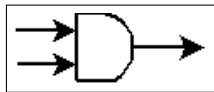
Πίνακας αληθείας (truth table)

a	b	a nor b
0	0	1
0	1	0
1	0	0
1	1	0

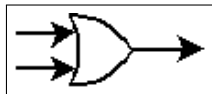


- Λειτουργία PDN (μονοπάτι προς τη γη): $G = \overline{A+B}$
- Λειτουργία PUN (μονοπάτι προς V_{dd}): $F = \overline{A \cdot B}$

Πίνακες αληθείας για τις λογικές πύλες (1)



a	b	a and b
0	0	0
0	1	0
1	0	0
1	1	1

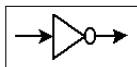


a	b	a or b
0	0	0
0	1	1
1	0	1
1	1	1

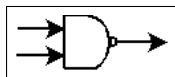


a	b	a xor b
0	0	0
0	1	1
1	0	1
1	1	0

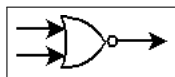
Πίνακες αληθείας για τις λογικές πύλες (2)



a	not a
0	1
1	0



a	b	a nand b
0	0	1
0	1	1
1	0	1
1	1	0

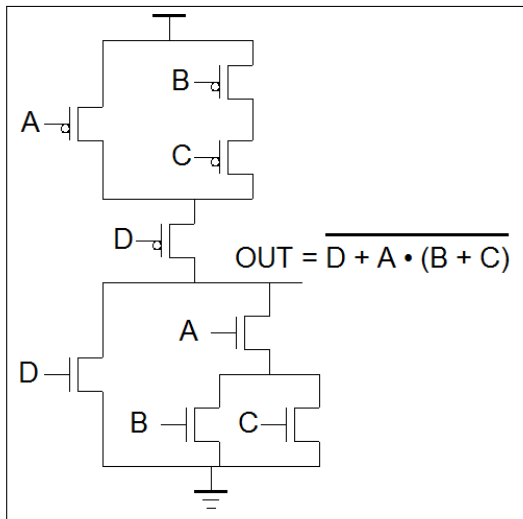


a	b	a nor b
0	0	1
0	1	0
1	0	0
1	1	0



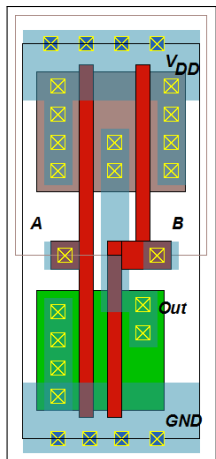
a	b	a xnor b
0	0	1
0	1	0
1	0	0
1	1	1

Παράδειγμα: Σύνθετη πύλη

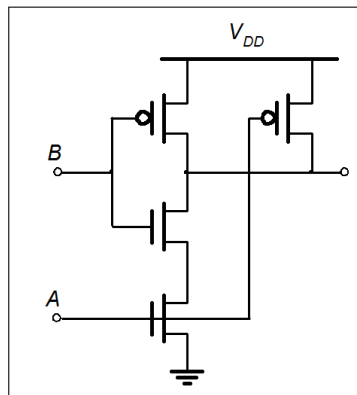


Φυσική και κυκλωματική σχεδίαση για την πύλη NAND δύο εισόδων

Φυσική σχεδίαση

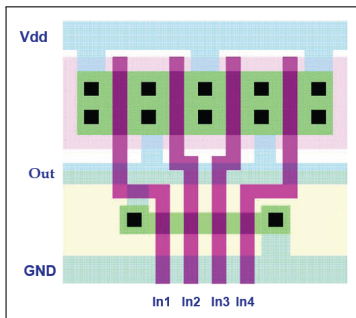


Κυκλωματική περιγραφή

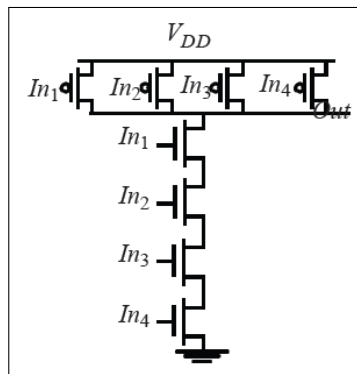


Φυσική και κυκλωματική σχεδίαση για την πύλη NAND τεσσάρων εισόδων

Φυσική σχεδίαση

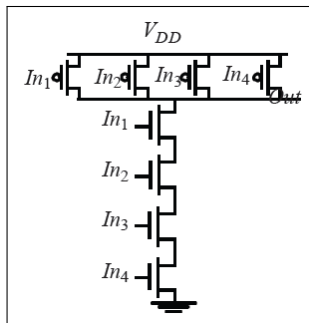


Κυκλωματική περιγραφή



Επίδραση του fan-in και του fan-out στην καθυστέρηση

Πύλη NAND 4 εισόδων



- fan-out: ανάλογα με τον αριθμό πυλών που συνδέονται (από την επόμενη βαθμίδα), 2 χωρητικότητες πύλης ανά έξοδο
- fan-in: τετραγωνικός όρος εξαιτίας των:
 - 1 αύξηση αντίστασης
 - 2 αύξηση χωρητικότητας (t_{pHL})

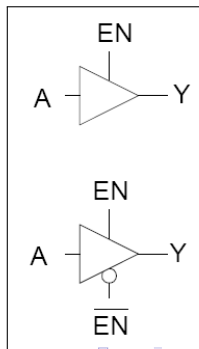
Έκφραση: $t_p = a_1 \cdot FI + a_2 \cdot FI^2 + a_3 \cdot FO$

Τρισταθής απομονωτής (tristate buffer)

Στον τρισταθί απομονωτή η έξοδος ισούται με την είσοδο όταν είναι ενεργοποιημένος ($en = '1'$, όπου το EN είναι το σήμα επίτρειας) αλλιώς η έξοδος οδηγείται σε κατάσταση υψηλής αντίστασης (high impedance state) η οποία συμβολίζεται με 'Z'

Πίνακας αληθείας

EN	A	Y
0	0	Z
0	1	Z
1	0	0
1	1	1

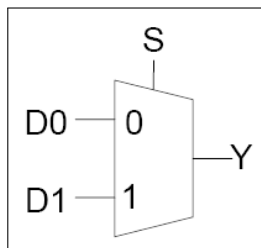


Πολυπλέκτης (multiplexer)

- Κύκλωμα το οποίο επιλέγει να περάσει στην έξοδό του, μία από τις εισόδους του σύμφωνα με την τιμή εξωτερικής εισόδου επιλογής (S)
- Παράδειγμα: Πολυπλέκτης 2-σε-1 του 1-bit

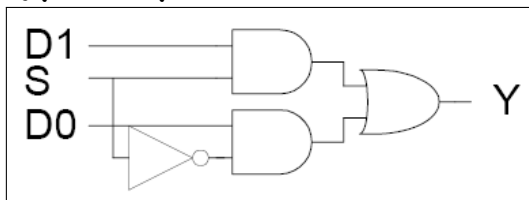
Πίνακας αληθείας

S	D1	D0	Y
0	X	0	0
0	X	1	1
1	0	X	0
1	1	X	1

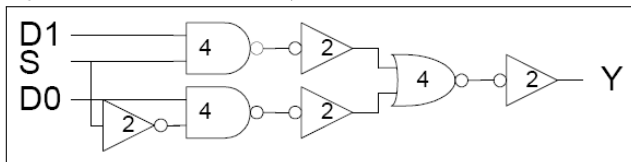


Σχεδίαση του πολυπλέκτη σε επίπεδο πυλών

- Σχεδιασμός με κύκλωμα AND-OR-INVERT



- Σχεδιασμός με πύλες NAND και NOR (η πύλη NOT σχεδιάζεται ως NAND με βραχυκυκλωμένες εισόδους)



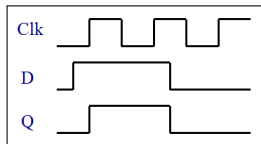
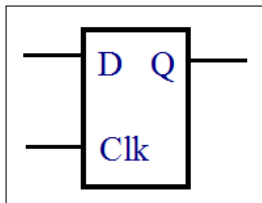
- Λογική έκφραση του πολυπλέκτη:

$$Y = S \cdot D1 + \bar{S} \cdot D0$$

Βασικά στοιχεία ακολουθιακής λογικής: Μανδαλωτές και καταχωρητές (flip-flop)

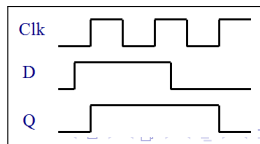
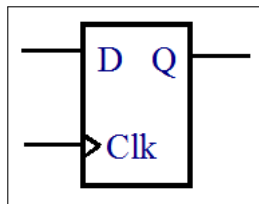
Μανδαλωτής (latch): απόκριση με ευαισθησία επιπέδου (level-sensitive)

Αποθηκεύει δεδομένα π.χ. όταν το σήμα *clk* είναι σε χαμηλή στάθμη



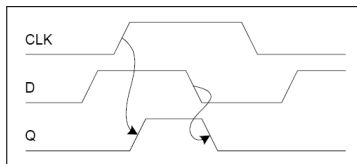
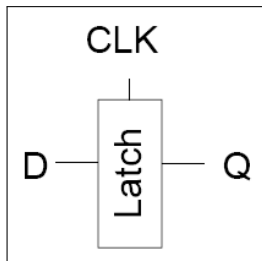
Καταχωρητής (register): ακμοσυροδότητο στοιχείο (edge-triggered)

Αποθηκεύει δεδομένα π.χ. κατά την ανερχόμενη ακμή του ρολογιού



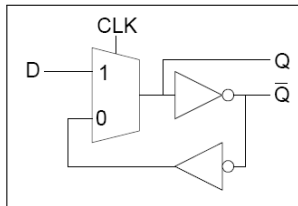
Μανδαλωτής τύπου D

- Όταν $CLK = 1$, ο μανδαλωτής είναι διαφανής (transparent latch)
 - Η είσοδος D οδηγείται στην έξοδο Q όπως σε έναν απομονωτή
- Όταν $CLK = 0$, ο μανδαλωτής είναι αδιαφανής
 - Η έξοδος Q διατηρεί την παλιά της τιμή ανεξάρτητα της εισόδου D
- Μανδαλωτές με ευαισθησία επιπέδου (level-sensitive)



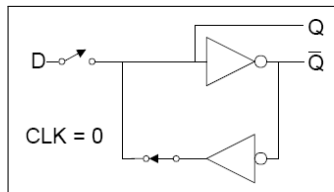
Σχεδιασμός και λειτουργία του μανδαλωτή D

Σχεδιασμός του D-latch

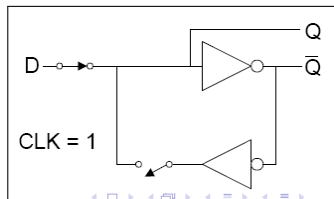


Λειτουργία

Για CLK = 0

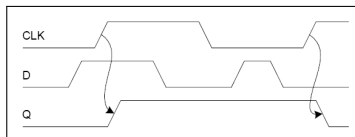
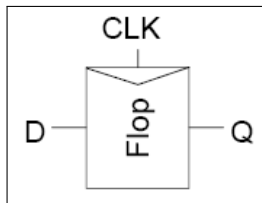


Για CLK = 1



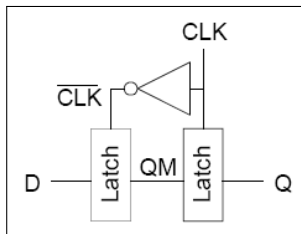
Flip-flop τύπου D

- Όταν έχουμε ανερχόμενη ακμή του CLK, η είσοδος D αντιγράφεται στην έξοδο Q
- Σε κάθε άλλη περίπτωση, η έξοδος Q διατηρεί την τιμή της
- Βασικοί μηχανισμοί λειτουργίας (διαφορετικών) flip-flop: με θετική ακμοσυροδότηση, με αρνητική ακμοσυροδότηση, flip-flop αφέντη-σκλάβου (master-slave)



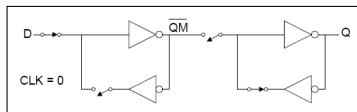
Σχεδιασμός και λειτουργία του D flip-flop

Σχεδιασμός του D flip-flop

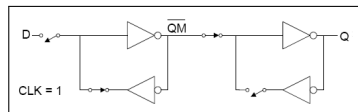


Λειτουργία

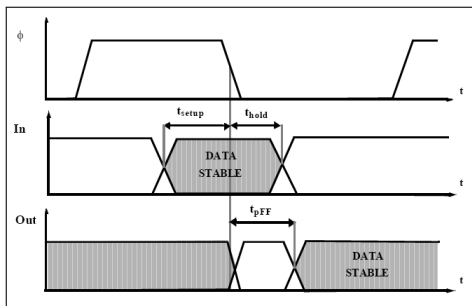
Για $CLK = 0$



Για $CLK = 1$



Ορισμοί σχετικοί με τη χρονική συμπεριφορά του D flip-flop

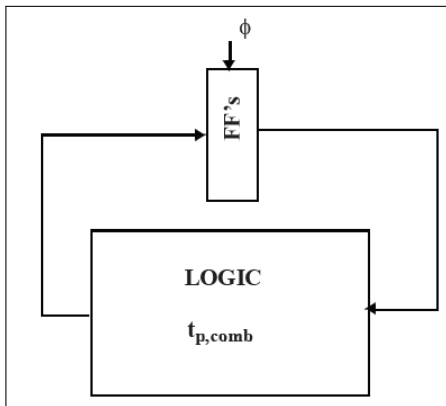


t_{setup} : χρόνος προετοιμασίας (από το 50% του πλάτους του σήματος εισόδου, μέχρι να κατέλθει το σήμα της φάσης στο 50%)

t_{hold} : χρόνος συγκράτησης (από το 50% της κατερχόμενης φάσης μέχρι να κατέλθει το πλάτος της εισόδου στο 50%)

t_{pFF} : χρόνος διάδοσης από την είσοδο ως την έξοδο του flip-flop (από το 50% της κατερχόμενης φάσης μέχρι να κατέλθει το πλάτος της εξόδου στο 50%)

Καθορισμός της μέγιστης συχνότητας λειτουργίας ενός ακολουθιακού κυκλώματος

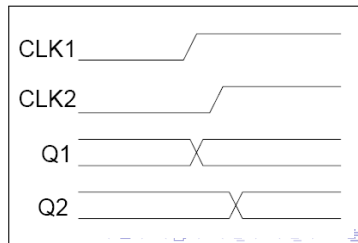
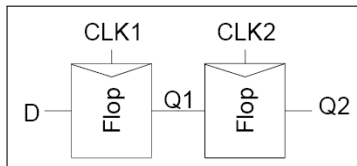


$$F_{max} = \frac{1}{T_{min}} \text{ \acute{O}\pi\upsilon\upsilon:}$$

$$T_{min} = t_{p,comb} + t_{pFF} + t_{setup}$$

Συνθήκη κυνηγητού (race condition)

- Τα flip-flop σε άμεση σύνδεση (back-to-back) μπορεί να εμφανίσουν δυσλειτουργίες εξαιτίας της ολίσθησης ρολογιού
- Η ολίσθηση ρολογιού έχει ως αποτέλεσμα την καθυστερημένη απόκριση του δεύτερου flip-flop
- Το δεύτερο FF βλέπει τη μεταβολή στην έξοδο του πρώτου και την οδηγεί πρόωρα στην έξοδό του
- Ονομάζεται αποτυχία χρόνου συγκράτησης (hold-time failure) ή συνθήκη κυνηγητού



Η τεχνική της διοχέτευσης (pipelining)

- Η τεχνική της διοχέτευσης (pipelining) χρησιμοποιείται για τη βελτίωση ορισμένων χαρακτηριστικών της απόκρισης ενός ακολουθιακού ή συνδυαστικού κυκλώματος
- Καταμερισμός του μονοπατιού της χρονικής καθυστέρησης (είσοδος σε έξοδο) σε επιμέρους στάδια τα οποία διαχωρίζονται με την αποθήκευση των ενδιάμεσων αποτελεσμάτων σε καταχωρητές
- + Αύξηση της μέγιστης συχνότητας λειτουργίας
 - Μικρή αύξηση στην απαιτούμενη επιφάνεια ολοκληρωμένου
 - Καθυστέρηση (latency) για τον υπολογισμό της πρώτης εξόδου κατά n κύκλους όπου n τα στάδια διοχέτευσης
- ☞ Χρησιμοποιείται σε όλους τους μοντέρνους επεξεργαστές

Παράδειγμα κυκλώματος με διοχέτευση: Σύνθετος αριθμητικός υπολογισμός

