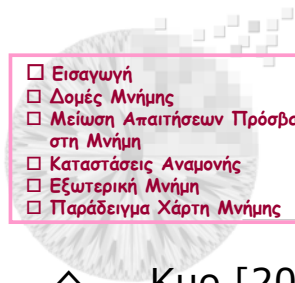


Αρχιτεκτονική Μνήμης

Τμήμα Επιστήμη και Τεχνολογίας
Τηλεπικοινωνιών

Πανεπιστήμιο Πελοποννήσου



- Εισαγωγή
- Δομές Μνήμης
- Μείωση Απαιτήσεων Πρόσβασης στη Μνήμη
- Καταστάσεις Αναμονής
- Εξωτερική Μνήμη
- Παράδειγμα Χάρτη Μνήμης

Βιβλιογραφία Ενότητας

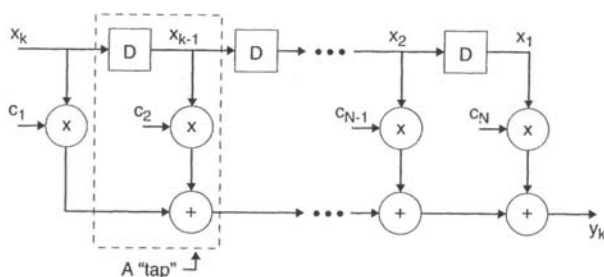


- ◇ Κυο [2005]: *Chapters 3 & 4*
- ◇ Lapsley [2002]: *Chapter 5*
- ◇ *TMS320C6000 CPU and Instruction Set Reference Guide*
- ◇ Σημειώσεις διδάσκοντα

★ Εισαγωγή

- Δομές Μνήμης
- Μείωση Απαιτήσεων Πρόσβασης στη Μνήμη
- Καταστάσεις Αναμονής
- Εξωτερική Μνήμη
- Παράδειγμα Χάρτη Μνήμης

Εισαγωγή



$$y_k = x_k \times c_1 + x_{k-1} \times c_2 + \dots + x_2 \times c_{N-1} + x_1 \times c_N$$

Εκτός από τις δυνατότητες της Κεντρικής Μονάδας Επεξεργασίας (ΚΜΕ) για την ταχεία εκτέλεση εντολών που σχετίζονται με την Ψηφιακή Επεξεργασία Σήματος (π.χ χρήση πολλαπλασιαστή) οι επεξεργαστές Ψ.Ε.Σ απαιτούν ταχεία πρόσβαση και μεταφορά δεδομένων από και προς τη μνήμη.

Αρχιτεκτονική μνήμης ονομάζουμε την οργάνωση της μνήμης και τις διασυνδέσεις της με την ΚΜΕ

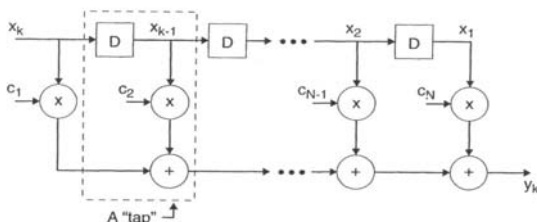
Θεωρήστε το τυπικό παράδειγμα FIR φιλτραρίσματος όπως φαίνεται και στο σχήμα:

- ◇ Κάθε tap του φίλτρου (1 πολλαπλασιασμός & 1 πρόσθεση) αντιστοιχεί σε μια εντολή MAC (Multiply Accumulate)
- ◇ Η βασική απαίτηση στους επεξεργαστές Ψ.Ε.Σ είναι κάθε εντολή MAC να εκτελείται σε όσο το δυνατόν λιγότερους κύκλους ρολογιού (έστω m ο αριθμός αυτός).
- ◇ Ο υπολογισμός της τιμής εξόδου $y(k)$ αντιστοιχεί σε N (N είναι η τάξη του φίλτρου) εντολές MAC και κατά συνέπεια σε Nxm κύκλους ρολογιού

★ Εισαγωγή

- Δομές Μνήμης
- Μείωση Απαιτήσεων Πρόσβασης στη Μνήμη
- Καταστάσεις Αναμονής
- Εξωτερική Μνήμη
- Παράδειγμα Χάρτη Μνήμης

Εισαγωγή (II)



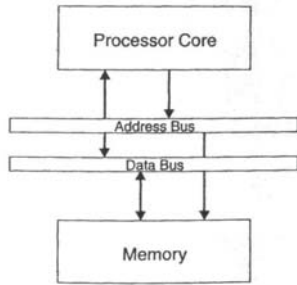
$$y_k = x_k \times c_1 + x_{k-1} \times c_2 + \dots + x_2 \times c_{N-1} + x_1 \times c_N$$

Για να μπορεί μια εντολή MAC να εκτελεστεί σε ένα κύκλο ρολογιού, επιπλέον των δυνατοτήτων της ΚΜΕ, πρέπει στο συγκεκριμένο χρονικό διάστημα να υποστηρίζονται από τη μνήμη οι επόμενες ενέργειες:

- ◇ Ανάκληση (μεταφορά από τη μνήμη) της εντολής MAC
- ◇ Ανάγνωση της κατάλληλης τιμής δεδομένων (τιμή σήματος)
- ◇ Ανάγνωση του κατάλληλου συντελεστή του φίλτρου
- ◇ Εγγραφή της τιμής εξόδου (φιλτραρισμένη τιμή) στη μνήμη
- ◇ Οι τεχνικές που χρησιμοποιούνται στους επεξεργαστές Ψ.Ε.Σ για τη διεκπεραίωση των παραπάνω ενεργειών σε ένα κύκλο ρολογιού είναι:
 - ◇ Ταχείς μνήμες (που μπορούν να υποστηρίξουν πολλαπλές προσβάσεις στη μνήμη σε ένα κύκλο ρολογιού)
 - ◇ Ειδικές δομές μνήμης (π.χ διακριτές μνήμες για δεδομένα και εντολές)
 - ◇ Περιορισμός απαιτήσεων πρόσβασης στη μνήμη με ειδικές τεχνικές διευθυνσιοδότησης ή χρήση μνήμης cache

- Εισαγωγή
- ★ Δομές Μνήμης
- Μείωση Απαιτήσεων Πρόσβασης στη Μνήμη
- Καταστάσεις Αναμονής
- Εξωτερική Μνήμη
- Παράδειγμα Χάρτη Μνήμης

Δομές Μνήμης



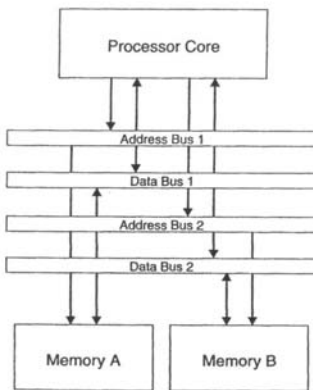
Η δομή της μνήμης αναφέρεται στο υλικό που την απαρτίζει και τις διασυνδέσεις της με την ΚΜΕ.

Οι επεξεργαστές γενικού σκοπού βασίζονται στη αρχιτεκτονική μνήμης γνωστή ως αρχιτεκτονική Von Neumann.

- ◇ Το σχήμα επάνω δίνει τη τυπική μορφή της αρχιτεκτονικής Von Neumann.

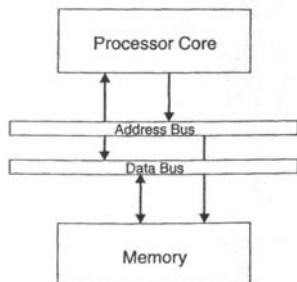
- ◇ Στην αρχιτεκτονική Von Neumann υπάρχει μια μόνο συστοιχία μνήμης (memory bank) στην οποία είναι αποθηκευμένα τόσο οι εντολές όσο και τα προγράμματα

- ◇ Υπάρχει μόνο ένας διάδρομος πρόσβασης στη μνήμη
- ◇ Η αρχιτεκτονική μνήμης αυτή μπορεί να υποστηρίξει εκτέλεση εντολών MAC σε ένα κύκλο ρολογιού μόνο αν η μνήμη είναι εξαιρετικά γρήγορη και επιτρέπει 4 προσβάσεις σε αυτή (σε χρόνο που αντιστοιχεί σε ένα κύκλο ρολογιού)



- Εισαγωγή
- ★ Δομές Μνήμης
- Μείωση Απαιτήσεων Πρόσβασης στη Μνήμη
- Καταστάσεις Αναμονής
- Εξωτερική Μνήμη
- Παράδειγμα Χάρτη Μνήμης

Δομές Μνήμης (II)



Η αρχιτεκτονική μνήμης Harvard (κάτω σχήμα) υποστηρίζει :

Πολλαπλές συστοιχίες μνήμης (συνήθως δύο -μια για τα δεδομένα και μια για τις εντολές- ή τρεις -δύο για τα δεδομένα και μια για τις εντολές)

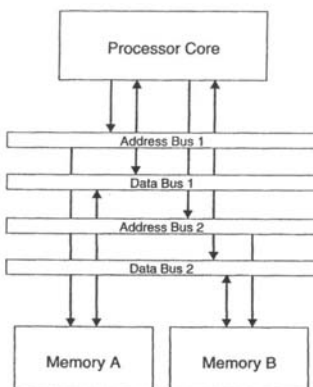
Πολλαπλούς διαδρόμους δεδομένων (π.χ. διάδρομος δεδομένων και διάδρομος προγράμματος)

Σύμφωνα με την αρχιτεκτονική μνήμης Harvard η εκτέλεση μιας εντολής MAC απαιτεί δύο, το πολύ προσβάσεις, στη μνήμη σε ένα κύκλο ρολογιού

Πολλαπλές συστοιχίες μνήμης και πολλαπλοί διάδρομοι απαιτούν (α) πιο σύνθετα κυκλώματα και (β) περισσότερο χώρο (άρα και μεγαλύτερο τελικό μέγεθος για τον επεξεργαστή)

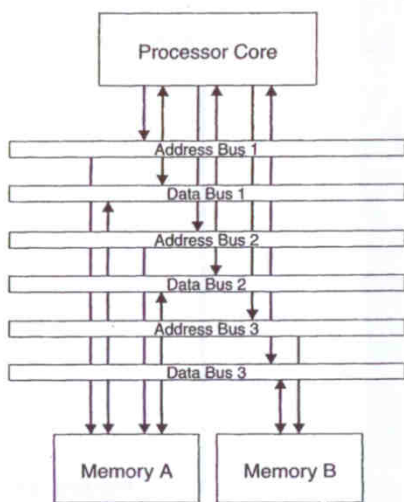
Ειδικές τεχνικές για μείωση απαιτήσεων πρόσβασης στη μνήμη χρησιμοποιούνται για την εκτέλεση της εντολής MAC σε ένα κύκλο ρολογιού

Υπάρχει δυνατότητα μνημών που υποστηρίζουν διπλή ταυτόχρονη πρόσβαση σε αυτές (DARAM -Dual Access RAM) έτσι ώστε να μπορεί η εντολή MAC να εκτελεστεί σε ένα κύκλο ρολογιού



- Εισαγωγή
- Δομές Μνήμης
- Μείωση Απαιτήσεων Πρόσβασης στη Μνήμη
- Καταστάσεις Αναμονής
- Εξωτερική Μνήμη
- Παράδειγμα Χάρτη Μνήμης

Μνήμες πολλαπλής πρόσβασης



Οι μνήμες πολλαπλής πρόσβασης έχουν τη βασική δομή που φαίνεται στο σχήμα:

- ◇ Υπάρχουν δύο συστοιχίες μνήμης (Memory A και Memory B) από τις οποίες η πρώτη υποστηρίζει πολλαπλή (διπλή πρόσβαση)
- ◇ Υπάρχουν δύο διάδρομοι δεδομένων και ένας διάδρομος προγράμματος (για μεταφορά εντολών ή συντελεστών)
- ◇ Η μνήμη διπλής πρόσβασης (DARAM) χρησιμοποιείται για την αποθήκευση δεδομένων και μπορεί να υποστηρίξει: (α) διπλή ανάγνωση ή (β) ταυτόχρονη ανάγνωση και εγγραφή
- ◇ Η μνήμη προγράμματος χρησιμοποιείται και για την αποθήκευση των συντελεστών του φίλτρου. Με δεδομένο ότι στη μνήμη cache του επεξεργαστή μπορούν να αποθηκευτούν οι επόμενες προς εκτέλεση εντολές η εντολή MAC μπορεί να εκτελεστεί σε ένα κύκλο ρολογιού αφού:
 - ◇ Η MAC βρίσκεται ήδη αποθηκευμένη στην cache
 - ◇ Ο συντελεστής φίλτρου διαβάζεται από τη μνήμη προγράμματος
 - ◇ Η επόμενη τιμή εισόδου διαβάζεται από τη μνήμη δεδομένων την ίδια στιγμή που στην ίδια μνήμη εγγράφεται το προηγούμενο αποτέλεσμα εξόδου (τιμή $y(k-1)$).

- Εισαγωγή
- Δομές Μνήμης
- Μείωση Απαιτήσεων Πρόσβασης στη Μνήμη
- Καταστάσεις Αναμονής
- Εξωτερική Μνήμη
- Παράδειγμα Χάρτη Μνήμης

Μείωση απαιτήσεων πρόσβασης στη Μνήμη



- ◇ Επειδή η συνεχής πρόσβαση στη μνήμη είναι δυνατόν να οδηγήσει σε καθυστέρηση εκτέλεσης ενός προγράμματος (για παράδειγμα εξαιτίας του γεγονότος ότι χρειάζονται 8 διαφορετικοί διάδρομοι για υποστήριξη εντολών MAC ενώ οι περισσότεροι επεξεργαστές έχουν 6 διαφορετικούς διαδρόμους) λαμβάνεται πρόνοια ώστε να μειώνονται οι απαιτήσεις πρόσβασης.
- ◇ Οι πιο διαδεδομένες τεχνικές για μείωση προσβάσεων στη μνήμη είναι:
 - ◇ Η χρήση της μνήμης cache (λανθάνουσα μνήμη) του επεξεργαστή για την προσωρινή αποθήκευση μιας σειράς εντολών που θα εκτελεστούν στη συνέχεια
 - ◇ Η μνήμη cache είναι μικρή σε μέγεθος (π.χ. στον επεξεργαστή TMS320C6713 είναι 4 Kbytes) αλλά υψηλής ταχύτητας μνήμη η οποία βρίσκεται στο εσωτερικό της ΚΜΕ
 - ◇ Η κυκλική διευθυνσιοδότηση (modulo addressing), κατά την οποία δεν χρειάζεται να υπολογιστεί η διεύθυνση των επομένων δεδομένων που θα χρησιμοποιηθούν από τις εντολές
 - ◇ Αλγοριθμικές προσεγγίσεις, μέσω των οποίων δεδομένα τα οποία έχουν ήδη ανακληθεί από τη μνήμη χρησιμοποιούνται με έξυπνο τρόπο ώστε να υπολογίζονται πολλαπλές τιμές εξόδου. Οι αλγοριθμικές προσεγγίσεις εξαρτώνται σχεδόν αποκλειστικά από την ικανότητα του προγραμματιστή

- Εισαγωγή
- Δομές Μνήμης
- Μείωση Απαιτήσεων Πρόσβασης στη Μνήμη
- Καταστάσεις Αναμονής
- Εξωτερική Μνήμη
- Παράδειγμα Χάρτη Μνήμης

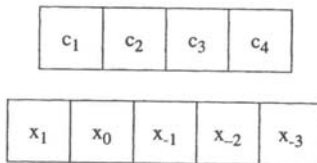
Παράδειγμα: Αλγοριθμική προσέγγιση



$$y_0 = x_0 \times c_1 + x_{-1} \times c_2 + x_{-2} \times c_3 + x_{-3} \times c_4$$

$$y_1 = x_1 \times c_1 + x_0 \times c_2 + x_{-1} \times c_3 + x_{-2} \times c_4$$

(a)



(b)

```
; Pseudo-code to compute
; two FIR filter outputs
; (y0, y1) using only one
; data memory access per
; instruction cycle.
```

```
LD R0, X1
LD R1, C1
R2 = R0*R1, LD R0, X0
R3 = R0*R1, LD R1, C2
R2 = R2+R0*R1, LD R0, X_{-1}
R3 = R3+R0*R1, LD R1, C3
R2 = R2+R0*R1, LD R0, X_{-2}
R3 = R3+R0*R1, LD R1, C4
R2 = R2+R0*R1, LD R0, X_{-3}
R3 = R3+R0*R1
```

```
; y1 is in R2
; y0 is in R3
```

(c)

Στο παράδειγμα του σχήματος τα περιεχόμενα των καταχωρητών R0, R1, και R2 χρησιμοποιούνται με έξυπνο τρόπο ώστε να υπολογίζονται δυο τιμές εξόδου με συνολικά 9 ανακλήσεις από τη μνήμη (δεδομένων και συντελεστών) αντί για 16 που απαιτούνται με απλή υλοποίηση

- Εισαγωγή
- Δομές Μνήμης
- Μείωση Απαιτήσεων Πρόσβασης στη Μνήμη
- Καταστάσεις Αναμονής
- Εξωτερική Μνήμη
- Παράδειγμα Χάρτη Μνήμης

Καταστάσεις αναμονής

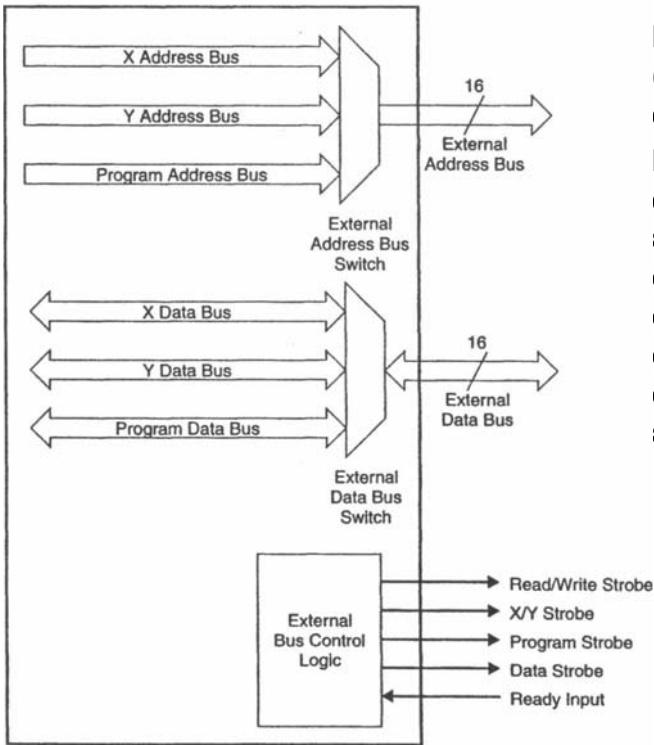


- ◇ Καταστάσεις αναμονής (wait states) είναι καταστάσεις κατά τις οποίες ο επεξεργαστής δεν μπορεί να εκτελέσει το πρόγραμμα
- ◇ Καταστάσεις αναμονής λαμβάνουν χώρα για τρεις λόγους:
 - ◇ Πρόσβαση σε αργή μνήμη (π.χ εξωτερική μνήμη) ή περιφερειακή συσκευή (memory mapped device)
 - ◇ Διαμοιρασμός διαδρόμου δεδομένων (συνήθως συμβαίνει όταν υπάρχει πρόσβαση σε εξωτερική μνήμη οπότε δεν υπάρχουν διαφορετικοί διάδρομοι δεδομένων και συντελεστών)
 - ◇ Φιλονικία πρόσβασης (conflict wait states), η οποία μπορεί να οφείλεται σε:
 - ◇ Προσπάθεια διπλής πρόσβασης σε μνήμη απλής πρόσβασης
 - ◇ Προσπάθεια πρόσβασης σε συγκεκριμένη θέση μνήμης από περισσότερες από δύο εντολές εξαιτίας της διαδικασίας pipelining
- ◇ Οι καταστάσεις αναμονής που αντιστοιχούν στις πρώτες δύο περιπτώσεις είναι συνήθως προγραμματιζόμενες από τον χρήστη για να αντιμετωπισθεί η πρόσβαση σε αργές περιφερειακές συσκευές ή μνήμη
- ◇ Οι καταστάσεις φιλονικίας αναγνωρίζονται αυτόματα από όλους τους επεξεργαστές Ψ.Ε.Σ και εισάγονται οι απαραίτητοι κανόνες αναμονής έτσι ώστε να επιλύεται κάθε φιλονικία



- Εισαγωγή
- Δομές Μνήμης
- Μείωση Απαιτήσεων Πρόσβασης στη Μνήμη
- Καταστάσεις Αναμονής
- Εξωτερική Μνήμη
- Παράδειγμα Χάρτη Μνήμης

Εξωτερική Μνήμη



Εξωτερική μνήμη ονομάζουμε τη μνήμη (συνήθως RAM) η οποία βρίσκεται εκτός chip (και προφανώς εκτός ΚΜΕ).

Είναι φανερό ότι η εξωτερική μνήμη δεν ακολουθεί την αρχιτεκτονική Harvard και επομένως πρόσβαση σε αυτή γίνεται μέσω δύο διαδρόμων (του διαδρόμου δεδομένων και του διαδρόμου διευθύνσεων) σε αντίθεση με τους έξι διαδρόμους που υποστηρίζονται εσωτερικά (on chip) από τον επεξεργαστή.

Οι εσωτερικοί διάδρομοι διευθύνσεων και δεδομένων πολυπλέκονται ώστε να υπάρχει πρόσβαση στην εξωτερική μνήμη.

Μια μονάδα ελέγχου (External Bus Control Logic) παρέχει τα απαραίτητα σήματα που χρησιμοποιούνται για την απόπλεξη των εσωτερικών διαδρόμων



- Εισαγωγή
- Δομές Μνήμης
- Μείωση Απαιτήσεων Πρόσβασης στη Μνήμη
- Καταστάσεις Αναμονής
- Εξωτερική Μνήμη
- Παράδειγμα Χάρτη Μνήμης

Χάρτης Μνήμης

Byte Address	Memory Block	Block Size (bytes)
000000h	DARAM (8 blocks)	65536
010000h	SARAM (32 blocks)	262144
050000h	External - CE0 (2 blocks)	3866824
400000h	External - CE1 (2 blocks)	4194304
800000h	External - CE2 (2 blocks)	4194304
C00000h	External - CE3 (2 blocks)	4161536
FF8000h	ROM if MP/MC=0 (1 block) External - CE3 if MP/MC=1 (1 block)	32768
FFFFFFh		

Στους επεξεργαστές της σειράς TMS320 η μνήμη οργανώνεται σε τρεις διαφορετικές περιοχές:

- ◇ Περιοχή προγράμματος (program space)
- ◇ Περιοχή δεδομένων (data space)
- ◇ Περιοχή Εισόδου-Εξόδου (Memory mapped I/O space)

Memory mapped είναι μια τεχνική η οποία χρησιμοποιείται με στόχο η εγγραφή ή η ανάγνωση από μια περιφερειακή συσκευή (π.χ από τον ADC) να αντιμετωπίζεται όπως μια απλή εγγραφή-ανάγνωση από τη μνήμη

- ◇ Σε κάθε περιφερειακή συσκευή ορίζεται μια τουλάχιστον διεύθυνση μνήμης που την αντιπροσωπεύει
- ◇ Πρέπει να τονιστεί ότι η εγγραφή / ανάγνωση σε memory-mapped συσκευές γίνεται σε πολύ μεγαλύτερο χρόνο από ότι στη φυσική μνήμη. Για το σκοπό αυτό μπορεί να χρειαστεί ο επεξεργαστής να ενεργοποιήσει καταστάσεις αναμονής (wait states)

- Εισαγωγή
- Δομές Μνήμης
- Μείωση Απαιτήσεων Πρόσβασης στη Μνήμη
- Καταστάσεις Αναμονής
- Εξωτερική Μνήμη
- ★ Παράδειγμα Χάρτη Μνήμης

Παράδειγμα χάρτη Μνήμης



- ◇ Στο σχήμα φαίνεται ο χάρτης μνήμης του επεξεργαστή TMS320C6713 αλλά και του board C6713 DSK:

6713 DSK Memory Map

Address	C67x Family Memory Type	6713 DSK
0x00000000	Internal Memory	Internal Memory
0x00030000	Reserved Space or Peripheral Regs	Reserved or Peripheral
0x80000000	EMIF CE0	SDRAM
0x90000000	EMIF CE1	Flash
0xA0000000	EMIF CE2	CPLD
0xB0000000	EMIF CE3	Daughter Card

- ◇ Κάθε διεύθυνση μνήμης έχει μέγεθος 32 bits και δηλώνεται από 8 δεκαεξαδικά ψηφία
Με βάση τα παραπάνω ο επεξεργαστής μπορεί να υποστηρίξει 2^{32} θέσεις μνήμης (0000 0000 έως FFFF FFFF) των 32 bits έκαστη (16 GBytes)
Ο χάρτης μνήμης περιλαμβάνει τόσο την εσωτερική (δηλαδή εντός του chip) ή / και ενσωματωμένη (εντός της ΚΜΕ – π.χ. cache) στον επεξεργαστή μνήμη (DARAM, SARAM, ROM) όσο και την εξωτερική μνήμη (External – CE0, CE1, CE2) ή memory mapped συσκευές (External – CE3).
Εξαιτίας του κόστους είναι φανερό ότι οι ταχείες εσωτερικές μνήμες (DARAM, SARAM, ROM) έχουν πολύ μικρότερο μέγεθος από τις εξωτερικές.
Αμφότερες εσωτερικές και εξωτερικές μνήμης χωρίζονται σε blocks για ταχύτερη πρόσβαση

- Εισαγωγή
- Δομές Μνήμης
- Μείωση Απαιτήσεων Πρόσβασης στη Μνήμη
- Καταστάσεις Αναμονής
- Εξωτερική Μνήμη
- ★ Παράδειγμα Χάρτη Μνήμης

Χάρτης μνήμης του επεξεργαστή TMS320C6713 (I)



MEMORY BLOCK DESCRIPTION	BLOCK SIZE (BYTES)	HEX ADDRESS RANGE
Internal RAM (L2)	192K	0000 0000 – 0002 FFFF
Internal RAM/Cache	64K	0003 0000 – 0003 FFFF
Reserved	24M – 256K	0004 0000 – 017F FFFF
External Memory Interface (EMIF) Registers	256K	0180 0000 – 0183 FFFF
L2 Registers	128K	0184 0000 – 0185 FFFF
Reserved	128K	0186 0000 – 0187 FFFF
HPI Registers	256K	0188 0000 – 018B FFFF
McBSP 0 Registers	256K	018C 0000 – 018F FFFF
McBSP 1 Registers	256K	0190 0000 – 0193 FFFF
Timer 0 Registers	256K	0194 0000 – 0197 FFFF
Timer 1 Registers	256K	0198 0000 – 019B FFFF
Interrupt Selector Registers	512	019C 0000 – 019C 01FF
Device Configuration Registers	4	019C 0200 – 019C 0203
Reserved	256K – 516	019C 0204 – 019F FFFF
EDMA RAM and EDMA Registers	256K	01A0 0000 – 01A3 FFFF
Reserved	768K	01A4 0000 – 01AF FFFF
GPIO Registers	16K	01B0 0000 – 01B0 3FFF
Reserved	240K	01B0 4000 – 01B3 FFFF
I2C0 Registers	16K	01B4 0000 – 01B4 3FFF
I2C1 Registers	16K	01B4 4000 – 01B4 7FFF
Reserved	16K	01B4 8000 – 01B4 BFFF

- Εισαγωγή
- Δομές Μνήμης
- Μείωση Απαιτήσεων Πρόσβασης στη Μνήμη
- Καταστάσεις Αναμονής
- Εξωτερική Μνήμη
- ★ Παράδειγμα Χάρτη Μνήμης

Χάρτης μνήμης του επεξεργαστή TMS320C6713 (II)



McASP0 Registers	18K	01B4 C000 – 01B4 FFFF
McASP1 Registers	18K	01B5 0000 – 01B5 3FFF
Reserved	160K	01B5 4000 – 01B7 BFFF
PLL Registers	8K	01B7 C000 – 01B7 DFFF
Reserved	264K	01B7 E000 – 01B8 FFFF
Emulation Registers	256K	01BC 0000 – 01BF FFFF
Reserved	4M	01C0 0000 – 01FF FFFF
QDMA Registers	52	0200 0000 – 0200 0033
Reserved	16M – 52	0200 0034 – 02FF FFFF
Reserved	720M	0300 0000 – 2FFF FFFF
McBSP0 Data Port	64M	3000 0000 – 33FF FFFF
McBSP1 Data Port	64M	3400 0000 – 37FF FFFF
Reserved	64M	3800 0000 – 3BFF FFFF
McASP0 Data Port	1M	3C00 0000 – 3C0F FFFF
McASP1 Data Port	1M	3C10 0000 – 3C1F FFFF
Reserved	1G + 62M	3C20 0000 – 7FFF FFFF
EMIF CE0†	256M	8000 0000 – 8FFF FFFF
EMIF CE1†	256M	9000 0000 – 9FFF FFFF
EMIF CE2†	256M	A000 0000 – AFFF FFFF
EMIF CE3†	256M	B000 0000 – BFFF FFFF
Reserved	1G	C000 0000 – FFFF FFFF

† The number of EMIF address pins (EA[21:2]) limits the maximum addressable memory (SDRAM) to 128MB per CE space.